

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-157040

(43)Date of publication of application : 30.05.2003

(51)Int.Cl.

G09G 3/22

G09G 3/20

G09G 3/30

(21)Application number : 2001-353852

(71)Applicant : CANON INC

(22)Date of filing : 19.11.2001

(72)Inventor : SAITO YUTAKA

ABE NAOTO

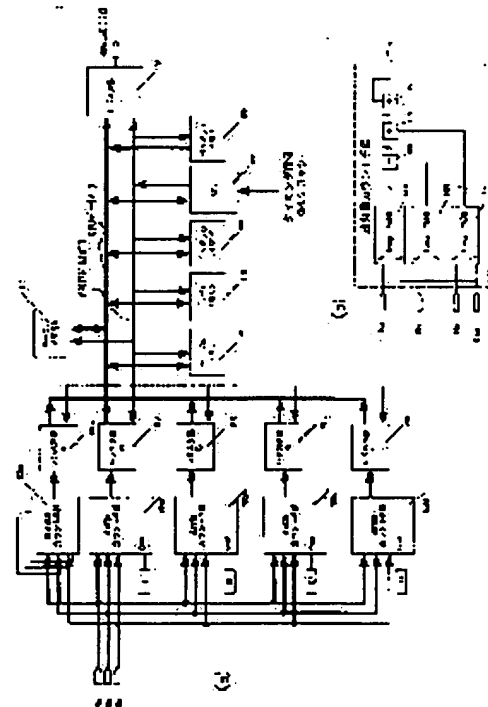
SAGANO OSAMU

## (54) IMAGE DISPLAY DEVICE AND IMAGE DISPLAY METHOD

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide an image display device and an image display method capable of performing especially suitably correction for reduction of luminance caused by voltage drop.

**SOLUTION:** In this image display device, a plurality of modulation wirings which are connected to a scanning line are divided into a plurality of blocks and characteristics of total numbers of lighting versus current values at the time entire blocks are uniformly lighted are preliminarily obtained by actual measurement or convergent calculation and suitable current values corresponding to voltage drop are obtained by storing these results in a memory by making the total numbers addresses.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than  
the examiner's decision of rejection or  
application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's  
decision of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

\* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

CLAIMS

---

[Claim(s)]

[Claim 1] It is an image display device. Two or more scan wiring, and this scan wiring and two or more modulation wiring [ \*\*\*\* / un-], Two or more display devices which prepare and correspond corresponding to each intersection of said two or more scan wiring and said modulation wiring of two or more and which are connected with said said modulation wiring which corresponds [ which corresponds and scan-wires ], respectively, It has the drive circuit which gives the modulating signal according to the picture signal which gives a selection signal to said scan wiring one by one, and is inputted into each of said modulation wiring. The amendment data circuit which said drive circuit computes the current which flows to said modulation wiring, and generates amendment data based on this calculation value, It has the modulation circuit which generates said modulating signal based on the picture signal inputted as these amendment data. Said amendment data circuit The image display device characterized by computing the current which flows to said modulation wiring by the approximation calculation according to the lighting condition of two or more of said display devices of connecting with one scan wiring.

[Claim 2] Said approximation calculation is an image display device according to claim 1 characterized by gathering and performing said two or more display devices connected to modulation wiring which divides said two or more modulation wiring into two or more blocks with which each includes said two or more modulation wiring, and belongs to each block for every block according to the lighting condition of each block.

[Claim 3] Said approximation calculation is an image display device according to claim 2 which considers the number of lightings of each block as an input, and is characterized by calculating using the approximation function which outputs a current value for every block.

[Claim 4] Said approximation calculation is an image display device according to claim 3 which restricts beforehand the effective digit count of the number of lightings of each block, and is characterized by calculating a current value for every block from the number of lightings of each block of the restricted effective digit count.

[Claim 5] Said approximation calculation is an image display device according to claim 1 characterized by performing said two or more display devices connected to modulation wiring which divides said two or more modulation wiring into two or more blocks with which each includes said two or more modulation wiring, and belongs to each block for every block based on the number of marks-total LGTs which gather and is connected to one scan wiring.

[Claim 6] Said approximation calculation is an image display device according to claim 5 which considers the number of marks-total LGTs as an input, and is characterized by calculating using the approximation function which outputs a current value for every block.

[Claim 7] Said approximation calculation is an image display device according to claim 6 which considers the number of marks-total LGTs as an input, and is characterized by calculating using the approximation function which outputs a current value based on the number of marks-total LGTs when said all blocks light up equally for every block.

[Claim 8] Said approximation calculation is an image display device according to claim 5, 6, or 7 which restricts beforehand the effective digit count of the number of marks-total LGTs, and is characterized by calculating a current value for every block from the restricted number of marks-total LGTs.

[Claim 9] It is an image display device. Two or more scan wiring, and this scan wiring and two or more modulation wiring [ \*\*\*\* / un-], Two or more display devices which prepare and correspond corresponding to each intersection of said two or more scan wiring and said modulation wiring of two or more and which are connected with said said modulation wiring which corresponds [ which corresponds and scan-wires ], respectively, The memory to which it has the drive circuit which gives the modulating signal according to the picture signal which gives a selection signal to said scan wiring one by one, and is inputted into each of said modulation wiring, and said drive circuit outputs the value which shows the current value which flows to said modulation wiring, The amendment data circuit which generates amendment data based on the output and said picture signal from this memory, It is the image display device which has the modulation circuit which generates said modulating signal based on the picture signal inputted as these amendment data, and is characterized by basing the value of said memory on the property of a current value according to the lighting condition of two or more of said display devices connected to one scan wiring.

[Claim 10] The property of said current value is an image display device according to claim 9 characterized by dividing said two or more modulation wiring into the block with which each includes said two or more modulation wiring, gathering said two or more display devices connected to modulation wiring belonging to each block, and embracing the lighting condition of each block.

[Claim 11] Said memory is an image display device according to claim 10 which considers the number of lightings of each block as an input, and is characterized by outputting a current value for every block.

[Claim 12] Said memory is an image display device according to claim 11 characterized by restricting beforehand the number of effective bits of the number of lightings of each block, inputting the number of lightings of each block of the restricted number of effective bits, and outputting a current value for every block.

[Claim 13] The property of said current value is an image display device [claim 14] according to claim 9 characterized by responding to the number of marks-total LGTs which divides said two or more modulation wiring into two or more blocks with which each includes said two or more modulation wiring, gather said two or more display devices connected to modulation wiring belonging to each block, and is connected to one scan wiring. Said memory is an image display device according to claim 13 which considers the number of marks-total LGTs as an input, and is characterized by outputting a current value for every block.

[Claim 15] Said memory is an image display device according to claim 14 which considers the number of marks-total LGTs as an input, and is characterized by outputting a current value based on the number of marks-total LGTs when said all blocks light up equally for every block.

[Claim 16] Said memory is an image display device according to claim 14 or 15 characterized by restricting beforehand the effective digit count of the number of marks-total LGTs, inputting the restricted number of marks-total LGTs, and outputting a current value for every block.

[Claim 17] Said amendment data are an image display device given in claim 1 characterized by being data which amend the poor display by the voltage drop in said scan wiring thru/or any 1 term of 16.

[Claim 18] An image display device given in claim 1 characterized by being that by which the pulse width of said modulating signal is amended by the value of said amendment data thru/or any 1 term of 17.

[Claim 19] Said modulating signal is an image display device given in claim 1 characterized by having the pulse width which changes according to said picture signal thru/or any 1 term of 17.

[Claim 20] It has two or more display devices which prepare and correspond corresponding to each intersection of two or more scan wiring, this scan wiring and two or more modulation wiring [ \*\*\*\* / un-], and said two or more scan wiring and said two or more modulation wiring and which are connected with said said modulation wiring which corresponds [ which corresponds and scan-wires ], respectively. It is the image display approach which displays an image by giving the modulating signal

according to the picture signal which gives a selection signal to said scan wiring one by one, and is inputted into each of said modulation wiring. The step which computes the current which flows to said modulation wiring, and generates amendment data based on this calculation value, The step which generates said amendment data including the step which generates said modulating signal based on the picture signal inputted as these amendment data The image display approach characterized by including the step which computes the current which flows to said modulation wiring by the approximation calculation according to the lighting condition of two or more of said display devices of connecting with one scan wiring.

[Claim 21] The step computed by said approximation calculation is the image display approach according to claim 20 characterized by being the step which gather and performs said two or more display devices connected to modulation wiring which divides said two or more modulation wiring into two or more blocks with which each includes said two or more modulation wiring, and belongs to each block for every block according to the lighting condition of each block.

[Claim 22] The step computed by said approximation calculation is the image display approach according to claim 21 which considers the number of lightings of each block as an input, and is characterized by being the step calculated using the approximation function which outputs a current value for every block.

[Claim 23] The step computed by said approximation calculation is the image display approach according to claim 22 which restricts beforehand the effective digit count of the number of lightings of each block, and is characterized by being the step which calculates a current value for every block from the number of lightings of each block of the restricted effective digit count.

[Claim 24] It is the image-display approach according to claim 20 of carrying out the step computed by said approximation calculation being a step which performs two or more of said display devices connected to modulation wiring which divides said modulation wiring of two or more into two or more blocks with which each includes two or more modulation wiring of said, and belongs to each block for every block based on the number of marks-total LGTs which gather and is connected to one scan wiring as the description.

[Claim 25] The step computed by said approximation calculation is the image display approach according to claim 24 which considers the number of marks-total LGTs as an input, and is characterized by being the step calculated using the approximation function which outputs a current value for every block.

[Claim 26] The step computed by said approximation calculation is the image display approach according to claim 25 which considers the number of marks-total LGTs as an input, and is characterized by being the step calculated using the approximation function which outputs a current value based on the number of marks-total LGTs when said all blocks light up equally for every block.

[Claim 27] The step computed by said approximation calculation is the image display approach according to claim 24, 25, or 26 which restricts beforehand the effective digit count of the number of marks-total LGTs, and is characterized by calculating a current value for every block from the restricted number of marks-total LGTs.

[Claim 28] It has two or more display devices which prepare and correspond corresponding to each intersection of two or more scan wiring, this scan wiring and two or more modulation wiring [ \*\*\*\* / un-], and said two or more scan wiring and said two or more modulation wiring and which are connected with said said modulation wiring which corresponds [ which corresponds and scan-wires ], respectively. It is the image display approach which displays an image by giving the modulating signal according to the picture signal which gives a selection signal to said scan wiring one by one, and is inputted into each of said modulation wiring. The step which generates amendment data based on the step which outputs the value which shows the current value which flows to said modulation wiring, and the output and said picture signal of the value which shows this current value, The value which shows said current value is the image display approach characterized by being computed based on the current characteristic according to the lighting condition of two or more of said display devices connected to one scan wiring including the step which generates said modulating signal based on the picture signal

inputted as these amendment data.

---

[Translation done.]

\* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention] For example, this invention performs image display using two or more display devices, it relates to the image display device and the image display approaches of receiving the status signal of a television signal, a computer, etc. and displaying an image, such as a television set and a display unit.

[0002]

[Description of the Prior Art] The technique which amends in an image display device is indicated by USP5659328 and USP5734361.

[0003]

[Problem(s) to be Solved by the Invention] However, in the case of the above conventional techniques, the technical problem that suitable amendment is realized exists in the image display device which connects two or more display devices using common wiring. If the case where arrange a display device in the shape of a matrix, and an image is displayed by sequential scanning is examined as a concrete example, unevenness may arise in display brightness under the effect of the voltage drop generated, for example on scan wiring.

[0004] The place which it was made in order that this invention might solve the technical problem of the above-mentioned conventional technique, and is made into the purpose is to offer the image display device and the image display approach of performing especially amendment for the brightness fall resulting from a voltage drop suitably.

[0005]

[Means for Solving the Problem] One is constituted as follows [ invention of the image display device concerning this application ].

[0006] It is an image display device. Two or more scan wiring, and this scan wiring and two or more modulation wiring [ \*\*\*\* / un-], Two or more display devices which prepare and correspond corresponding to each intersection of said two or more scan wiring and said modulation wiring of two or more and which are connected with said said modulation wiring which corresponds [ which corresponds and scan-wires ], respectively, It has the drive circuit which gives the modulating signal according to the picture signal which gives a selection signal to said scan wiring one by one, and is inputted into each of said modulation wiring. The amendment data circuit which said drive circuit computes the current which flows to said modulation wiring, and generates amendment data based on this calculation value, It has the modulation circuit which generates said modulating signal based on the picture signal inputted as these amendment data, and said amendment data circuit is characterized by computing the current which flows to said modulation wiring by the approximation calculation according to the lighting condition of two or more of said display devices of connecting with one scan wiring.

[0007] It is suitable for said approximation calculation to gather and to perform said two or more display devices connected to modulation wiring which divides said two or more modulation wiring into two or more blocks with which each includes said two or more modulation wiring, and belongs to each block

for every block according to the lighting condition of each block.

[0008] It is suitable for said approximation calculation to calculate using the approximation function which considers the number of lightings of each block as an input, and outputs a current value for every block.

[0009] It is suitable for said approximation calculation to restrict beforehand the effective digit count of the number of lightings of each block, and to calculate a current value for every block from the number of lightings of each block of the restricted effective digit count.

[0010] It is suitable for said approximation calculation to perform said two or more display devices connected to modulation wiring which divides said two or more modulation wiring into two or more blocks with which each includes said two or more modulation wiring, and belongs to each block for every block based on the number of marks-total LGTs which gather and is connected to one scan wiring.

[0011] It is suitable for said approximation calculation to calculate using the approximation function which considers the number of marks-total LGTs as an input, and outputs a current value for every block.

[0012] It is suitable for said approximation calculation to calculate using the approximation function which outputs a current value based on the number of marks-total LGTs when the number of marks-total LGTs is considered as an input and said all blocks light up equally for every block.

[0013] It is suitable for said approximation calculation to restrict beforehand the effective digit count of the number of marks-total LGTs, and to calculate a current value for every block from the restricted number of marks-total LGTs.

[0014] Moreover, one is constituted as follows [ invention of everything but the image display device concerning this application ].

[0015] It is an image display device. Two or more scan wiring, and this scan wiring and two or more modulation wiring [ \*\*\*\* / un-], Two or more display devices which prepare and correspond corresponding to each intersection of said two or more scan wiring and said modulation wiring of two or more and which are connected with said modulation wiring which corresponds [ which corresponds and scan-wires ], respectively, The memory to which it has the drive circuit which gives the modulating signal according to the picture signal which gives a selection signal to said scan wiring one by one, and is inputted into each of said modulation wiring, and said drive circuit outputs the value which shows the current value which flows to said modulation wiring, The amendment data circuit which generates amendment data based on the output and said picture signal from this memory, It has the modulation circuit which generates said modulating signal based on the picture signal inputted as these amendment data, and the value of said memory is characterized by being based on the property of a current value according to the lighting condition of two or more of said display devices connected to one scan wiring.

[0016] The memory which outputs the value which shows the current value which flows to modulation wiring here may memorize the value which can be found from the current value which flows to the value which shows indirectly what [ not only ] memorized the current value which flows to modulation wiring but the current value which flows to modulation wiring, or modulation wiring, for example, the amount of voltage drops and the amount of emission currents, and may output them.

[0017] It is suitable for the property of said current value to divide said two or more modulation wiring into the block with which each includes said two or more modulation wiring, to gather said two or more display devices connected to modulation wiring belonging to each block, and to embrace the lighting condition of each block.

[0018] It is suitable for said memory to consider the number of lightings of each block as an input, and to output a current value for every block.

[0019] It is suitable for said memory to restrict beforehand the number of effective bits of the number of lightings of each block, to input the number of lightings of each block of the restricted number of effective bits, and to output a current value for every block.

[0020] It is suitable for the property of said current value to respond to the number of marks-total LGTs which divides said two or more modulation wiring into two or more blocks with which each includes



said two or more modulation wiring, gather said two or more display devices connected to modulation wiring belonging to each block, and is connected to one scan wiring.

[0021] It is suitable for said memory to consider the number of marks-total LGTs as an input, and to output a current value for every block.

[0022] It is suitable for said memory to output a current value based on the number of marks-total LGTs when the number of marks-total LGTs is considered as an input and said all blocks light up equally for every block.

[0023] It is suitable for said memory to restrict beforehand the effective digit count of the number of marks-total LGTs, to input the restricted number of marks-total LGTs, and to output a current value for every block.

[0024] It is suitable for said amendment data that it is data which amend the poor display by the voltage drop in said scan wiring.

[0025] It is suitable that it is that by which the pulse width of said modulating signal is amended by the value of said amendment data.

[0026] It is suitable for said modulating signal to have the pulse width which changes according to said picture signal.

[0027] One is constituted as follows [ invention of the image display approach concerning this application ].

[0028] It has two or more display devices which prepare and correspond corresponding to each intersection of two or more scan wiring, this scan wiring and two or more modulation wiring [ \*\*\*\* / un-], and said two or more scan wiring and said two or more modulation wiring and which are connected with said said modulation wiring which corresponds [ which corresponds and scan-wires ], respectively. It is the image display approach which displays an image by giving the modulating signal according to the picture signal which gives a selection signal to said scan wiring one by one, and is inputted into each of said modulation wiring. The step which computes the current which flows to said modulation wiring, and generates amendment data based on this calculation value, The step which generates said amendment data including the step which generates said modulating signal based on the picture signal inputted as these amendment data It is characterized by including the step which computes the current which flows to said modulation wiring by the approximation calculation according to the lighting condition of two or more of said display devices of connecting with one scan wiring.

[0029] It is suitable for the step computed by said approximation calculation that it is the step which gather and performs said two or more display devices connected to modulation wiring which divides said two or more modulation wiring into two or more blocks with which each includes said two or more modulation wiring, and belongs to each block for every block according to the lighting condition of each block.

[0030] It is suitable for the step computed by said approximation calculation that it is the step calculated using the approximation function which considers the number of lightings of each block as an input, and outputs a current value for every block.

[0031] It is suitable for the step computed by said approximation calculation that it is the step which restricts beforehand the effective digit count of the number of lightings of each block, and calculates a current value for every block from the number of lightings of each block of the restricted effective digit count. It is suitable in it being the step which performs said two or more display devices connected to modulation wiring which the step computed by said approximation calculation divides said two or more modulation wiring into two or more blocks with which each includes said two or more modulation wiring, and belongs to each block for every block based on the number of marks-total LGTs which gather and is connected to one scan wiring.

[0032] It is suitable for the step computed by said approximation calculation that it is the step calculated using the approximation function which considers the number of marks-total LGTs as an input, and outputs a current value for every block. It is suitable for the step computed by said approximation calculation that it is the step calculated using the approximation function which outputs a current value based on the number of marks-total LGTs when the number of marks-total LGTs is considered as an

input and said all blocks light up equally for every block.

[0033] It is suitable for the step computed by said approximation calculation to restrict beforehand the effective digit count of the number of marks-total LGTs, and to calculate a current value for every block from the restricted number of marks-total LGTs.

[0034] Moreover, one is constituted as follows [ invention of everything but the image display approach concerning this application ].

[0035] It has two or more display devices which prepare and correspond corresponding to each intersection of two or more scan wiring, this scan wiring and two or more modulation wiring [ \*\*\*\* / un-], and said two or more scan wiring and said two or more modulation wiring and which are connected with said said modulation wiring which corresponds [ which corresponds and scan-wires ], respectively. It is the image display approach which displays an image by giving the modulating signal according to the picture signal which gives a selection signal to said scan wiring one by one, and is inputted into each of said modulation wiring. The step which generates amendment data based on the step which outputs the value which shows the current value which flows to said modulation wiring, and the output and said picture signal of the value which shows this current value, The value which shows said current value is characterized by being computed based on the current characteristic according to the lighting condition of two or more of said display devices connected to one scan wiring including the step which generates said modulating signal based on the picture signal inputted as these amendment data.

[0036] Thereby, degradation of the display image by the voltage drop on scan wiring is improvable.

[0037]

[Embodiment of the Invention] With reference to a drawing, the gestalt of suitable implementation of this invention is explained in detail in instantiation below. However, the dimension of the component part indicated by the gestalt of this operation, the quality of the material, a configuration, its relative configuration, etc. are not the things of those meanings limited to seeing about the range of this invention, as long as there is no specific publication especially.

[0038] A cold cathode component, an EL element, etc. are mentioned as a display device employable in the configuration which can apply the invention in this application. Below, the configuration which used the cold cathode component, especially the surface conduction mold emission component as a display device is mentioned as an example, and is explained.

[0039] (1st operation gestalt) Below, while the gestalt of the operation which applied this invention is shown, a concrete example is explained to coincidence.

[0040] A voltage drop occurs by the current which flows into scan wiring, and wiring resistance of scan wiring, and the voltage drop in such scan wiring realizes it on a scale of a comparatively small circuit especially in view of the phenomenon in which a display image deteriorates, in the display which has arranged the cold cathode component to the passive matrix about the image display device equipped with the processing circuit which amends the effect which it has on a display image.

[0041] The amendment circuit of this invention calculates degradation of the display image produced according to input image data for a voltage drop, asks for the amendment data which amend it, and amends to image data.

[0042] As an image display device which contained such an amendment circuit, artificers have examined wholeheartedly the image display device of a method as shown below.

[0043] It faces explaining this invention hereafter and the device of a fall of the driver voltage resulting from the electric resistance of scan wiring at the time of displaying an image with a general view of the display panel of the image display device concerning the operation gestalt of this invention, the electrical installation of a display panel, the property of a surface conduction mold emission component, the drive approach of a display panel, and such a display panel is explained in order. And the convergence operation approach at the time of the amendment to the effect of the voltage drop which is the description of this invention after that is explained.

[0044] (General view of an image display device) Drawing 1 is the perspective view of the display panel used for the image display device concerning this operation gestalt, in order to show a internal structure,

cuts some panels, and lacks and shows it. In 1005, in drawing 1, a rear plate and 1006 form the tight container for a side attachment wall and 1007 to be face plates, and maintain the interior of a display panel to a vacuum by 1005-1007.

[0045] Although the substrate 1001 is being fixed to the rear plate 1005, on this substrate, NxM individual formation of the cold cathode component 1002 is carried out. The line wiring (scan wiring) 1003, the train wiring (modulation wiring) 1004, and the cold cathode component 1002 are connected like drawing 2.

[0046] Such connection structure is called the passive matrix.

[0047] Moreover, the fluorescent screen 1008 is formed in the inferior surface of tongue of a face plate 1007. Since the image display device concerning this operation gestalt is a electrochromatic display, the fluorescent substance of green [ which are used in the field of CRT / the red and green ], and blue \*\* in three primary colors is distinguished by different color by the part of a fluorescent screen 1008 with. To the location where the emission electron (emission current) from the cold cathode component formed in the shape of a matrix corresponding to each pixel (picture element) of the rear plate 1005 is irradiated, the fluorescent substance is constituted so that a pixel may be formed.

[0048] The metal back 1009 is formed in the inferior surface of tongue of a fluorescent screen 1008.

[0049] Hv is a secondary terminal and is electrically connected to the metal back 1009. The high voltage is impressed between the rear plate 1005 and a face plate 1007 by impressing the high voltage to Hv terminal.

[0050] With this operation gestalt, the surface conduction mold emission component was produced as a cold cathode component in the above display panels.

[0051] (Property of a surface conduction mold emission component) A surface conduction mold emission component has a pair (component applied voltage Vf) property like drawing 3 (emission current  $I_e$ ), and (component current  $I_f$ ) a pair (component applied voltage Vf) property. In addition, since the emission current  $I_e$  was remarkably small compared with the component current  $I_f$  and it was difficult to illustrate with the same scale, two graphs were illustrated with a respectively different scale.

[0052] Although the emission current  $I_e$  will increase in the first place rapidly if the electrical potential difference more than a certain electrical potential difference (this is called threshold voltage  $V_{th}$ ) is impressed to a component, on the other hand on the electrical potential difference of under the threshold voltage  $V_{th}$ , the emission current  $I_e$  is hardly detected.

[0053] That is, it is the nonlinear device which had the clear threshold voltage  $V_{th}$  about the emission current  $I_e$ .

[0054] Moreover, since the emission current  $I_e$  changes depending on the electrical potential difference Vf impressed to a component, it can control [ second ] the magnitude of the emission current  $I_e$  by carrying out adjustable [ of electrical potential difference Vf ].

[0055] Moreover, since the cold cathode component has high-speed responsibility in the third, to it, it can control the emission time amount of the emission current  $I_e$  by impression time amount of an electrical potential difference Vf.

[0056] Since it has the above properties, artificers have found out using a surface conduction mold emission component suitable for a display.

[0057] For example, in the image display device using the display panel shown in drawing 1, if the first property is used, it is possible to display by scanning the display screen sequentially. That is, according to desired luminescence brightness, the electrical potential difference more than threshold voltage  $V_{th}$  is suitably impressed to the component under drive, and the electrical potential difference of under the threshold voltage  $V_{th}$  is impressed to the component in the condition of not choosing. By changing the component to drive one by one, it is possible to display by scanning the display screen sequentially.

[0058] Moreover, it is possible by using the second property to be able to control the luminescence brightness of a fluorescent substance by the electrical potential difference Vf impressed to a component, and to perform image display with it.

[0059] Moreover, by using the third property, the luminescence time amount of a fluorescent substance can be controlled by time amount which impresses an electrical potential difference Vf to a component,

and an image can be displayed by it.

[0060] In the image display device of this invention, it became irregular using the third property of the above about the amount of the electron beam of a display panel.

[0061] (The drive approach of a display panel) The drive approach of the display panel of this invention is concretely explained using drawing 4.

[0062] When drawing 4 drives the display panel of this invention, it is an example of the potential impressed to the electrical-potential-difference supply terminal of scan wiring and modulation wiring.

[0063] Now, let the horizontal scanning period  $I$  be the period which makes the pixel of the  $i$ -th line emit light. In order to make the pixel of the  $i$ -th line emit light, scan wiring of the  $i$ -th line is made into a selection condition, and the selection potential  $V_s$  is impressed to the electrical-potential-difference supply terminal  $D_{xi}$ . Moreover, the electrical-potential-difference supply terminal  $D_{xk}$  ( $k = 1, 2, \dots, N$ , however  $k \neq i$ ) of the other scan wiring is made into the condition of not choosing, and impresses the non-choosing potential  $V_{ns}$ .

[0064] In this example, the reference potential was made into ground potential (GND), and selection potential was made into potential lower than a reference potential, and the potential difference of the selection potential  $V_s$  and a reference potential was made into the one half of the electrical potential difference  $V_{SEL}$  of a publication at drawing 3. Therefore,  $V_s$  is  $-0.5V_{SEL}$ . Moreover, non-choosing potential  $V_{ns}$  was set to GND.

[0065] Moreover, the Pulse-Density-Modulation signal of voltage swing  $|V_{pwm}|$  was supplied to the potential supply terminal of modulation wiring. The voltage swing impressed to modulation wiring here is the potential difference of the modulation wiring potential at the time of OFF, and the modulation potential  $V_{pwm}$ . Since modulation wiring potential at the time of OFF is made equal to said reference potential here, a voltage swing is  $|V_{pwm}|$ . The pulse length of the pulse-width-modulation signal supplied to the  $j$ -th modulation wiring was determined according to the magnitude of the image data of the pixel of the  $i$ -th line  $j$ -th train of the image to display, and supplied the pulse-width-modulation signal according to the magnitude of the image data of each pixel to all modulation wiring.

[0066] With this operation gestalt, the value of potential  $V_{pwm}$  was set as  $+0.5V_{SEL}$ .

[0067] Although a surface conduction mold emission component makes an electron emit when an electrical potential difference  $V_{SEL}$  is impressed to the both ends of a component, as shown in drawing 3, it does not emit an electron at all on an electrical potential difference with applied voltage smaller than  $V_{th}$ .

[0068] In addition,  $V_{SEL}$  has the value which becomes larger than  $0.5V_{SEL}$ , as an electrical potential difference  $V_{th}$  shows drawing 3.

[0069] For this reason, an electron is not emitted from the surface conduction mold emission component connected to scan wiring with which the non-choosing potential  $V_{ns}$  is impressed.

[0070] Moreover, similarly, since the electrical potential difference impressed to the both ends of the surface conduction mold emission component on scan wiring with which the period (an output calls it the period of "L" henceforth) whose output of a Pulse-Density-Modulation means is ground potential was chosen is  $|V_s|$ , an electron is not emitted.

[0071] From the surface conduction mold emission component on scan wiring with which the selection potential  $V_s$  was impressed, an electron is emitted according to the period (an output calls it the period of "H" henceforth) whose output of a Pulse-Density-Modulation means is  $V_{pwm}$ . Since the above-mentioned fluorescent substance emits light according to the amount of the electron beam emitted when the electron was emitted, the brightness according to the emitted time amount can be made to emit light.

[0072] The image display device of this operation gestalt shows the image by such line sequential and pulse width modulation.

[0073] (voltage drop in scan wiring) A technical problem here is in the emission current from a surface conduction mold emission component decreasing, in order that the electrical potential difference impressed to a surface conduction mold emission component may decrease by what (the output potential of a modulation means in case a modulation means is H is approached) the potential on scan wiring rises by the voltage drop in scan wiring of a display panel.

[0074] Although it changes also with the design specifications and processes of a surface conduction mold emission component, the component current for one element of a surface conduction mold emission component is about [ several 100micro ] A, when an electrical potential difference VSEL is impressed.

[0075] For this reason, since the component current which flows into scan wiring of a selection line from modulation wiring is only a current for 1 pixel (namely, above-mentioned several 100microA) when making only 1 pixel on the scanning line chosen in a certain horizontal scanning period emit light and not making the other pixel emit light, a voltage drop is hardly produced and luminescence brightness does not fall.

[0076] However, in a certain horizontal scanning period, since the current for all pixels flowed from all modulation wiring to scan wiring made into the selection condition in making all the pixels of the selected line emit light, total of a current became several 100mA - Number A, and the voltage drop had generated it on scan wiring by wiring resistance of scan wiring.

[0077] If a voltage drop occurs on scan wiring, the electrical potential difference impressed to the both ends of a surface conduction mold emission component will fall. For this reason, the emission current which emits light from a surface conduction mold emission component fell, and luminescence brightness was falling as a result.

[0078] The case where the pattern of the shape of a white cross joint is concretely displayed on a black background as shown in drawing 5 (a) as a display image is considered.

[0079] Then, since there are few turned-on pixels in case the line L of this drawing is driven, on scan wiring of the line, a voltage drop hardly arises. The emission current of a desired amount is emitted and light can be made to emit by desired brightness from the surface conduction mold emission component of each pixel as a result.

[0080] On the other hand, since all pixels light up to coincidence in case line L' of this drawing is driven, a voltage drop occurs on scan wiring and the emission current from the surface conduction mold emission component which is each pixel decreases. Consequently, brightness will fall in Rhine of line L'.

[0081] Thus, since the effect are influenced by the voltage drop changed with the differences in the image data for every 1 level Rhine, when displaying a cross-joint pattern like drawing 5 (a), the image as shown in this drawing (b) was displayed.

[0082] In addition, this phenomenon is not restricted to a cross-joint pattern, and also when it displays [ for example, ] a window pattern and a natural image, it is generated.

[0083] Furthermore, the magnitude of a voltage drop has the property to change also in 1 horizontal-scanning period in the complicated thing by becoming irregular by Pulse Density Modulation.

[0084] As shown in drawing 4, when a Pulse-Density-Modulation signal is a Pulse-Density-Modulation signal with which the standup synchronized, although based also on input image data, generally there are many pixels turned on the start of 1 horizontal-scanning period, and in order to put out the light sequentially from the part where brightness is low after that, the number of the pixels to turn on decreases time amount later on in a 1 horizontal-scanning period.

[0085] Therefore, the magnitude of the voltage drop generated on scan wiring also tends to decrease gradually greatly the start of 1 horizontal-scanning period.

[0086] Since an output changes for every time amount equivalent to 1 gradation of a modulation, a Pulse-Density-Modulation signal changes for every time amount by which a time change of a voltage drop is also equivalent to 1 gradation of a Pulse-Density-Modulation signal.

[0087] In the above, the voltage drop in scan wiring was explained.

[0088] (The count approach of a voltage drop) In order to have calculated the amount of amendments for reducing the effect of a voltage drop, developing the hardware which predicts the magnitude and time amount change of a voltage drop on real time considered artificers to be need as the first stage story first.

[0089] However, as a display panel of an image display device like this invention, since it is common to have modulation wiring of thousands of and it is very difficult to calculate the voltage drop of an

intersection with all the modulation wiring and scan wiring, it is not performed with this operation gestalt.

[0090] Here, as a result of artificers' considering a voltage drop, it found out that there were the following descriptions.

[0091] i) When there is a 1 horizontal-scanning period, it is on scan wiring, and the voltage drop generated on scan wiring is a continuous amount spatially, and is a very smooth curve.

[0092] ii) Although it changes for every pulse width which is equivalent to 1 gradation of Pulse Density Modulation although the magnitude of a voltage drop changes also with display images, roughly, the standup part of a pulse is large and it is one of whether it becomes small time gradually or the magnitude is maintained. That is, by the drive approach like drawing 4, the magnitude of a voltage drop does not increase in 1 horizontal-scanning period.

[0093] Then, artificers examined whether computational complexity could be reduced by calculating by simplifying with the following approximation models in view of the description which was mentioned above.

[0094] First, it examined whether it could calculate by the ability not to simplify in approximation from the description of i with the degeneration model which centralized modulation wiring of thousands of to modulation wiring of several - dozens of on the occasion of calculating the magnitude of the voltage drop at a certain time (count of the voltage drop by the following degeneration models explains this to a detail.).

[0095] Moreover, it was presupposed that time amount change of a voltage drop is predicted roughly by preparing two or more time of day into 1 horizontal-scanning period, and calculating a voltage drop to each time of day from the description mentioned to ii.

[0096] By calculating count of the voltage drop by the degeneration model specifically explained below to two or more time of day, time amount change of a voltage drop was predicted roughly.

[0097] (Count of the voltage drop by the degeneration model) Drawing 6 (a) is drawing for explaining the block at the time of degenerating this invention, and a node.

[0098] This drawing indicated only the surface conduction mold emission component connected to selected scan wiring, each modulation wiring, and its intersection, in order to simplify drawing.

[0099] Now, the lighting condition (that is, is the output of a modulation means "H" or is it "L"?) of each pixel on scan wiring which is a certain time of day in a 1 horizontal-scanning period, and was chosen shall be known.

[0100] In this lighting condition, the component current which flows into scan wiring chosen from each modulation wiring is defined as  $I_{fi}$  ( $i = 1, 2, \dots, N$  and  $i$  row number).

[0101] Moreover, as shown in this drawing, a block is defined for the part which intersects it of modulation wiring of  $n$ , and selected scan wiring, and the surface conduction mold emission component arranged at the intersection as one group. It was divided into four blocks by performing a block division by this example.

[0102] Moreover, a location called a node was set up in the boundary location of each block. A node is a location for calculating the amount of voltage drops discretely in a degeneration model.

[0103] In this example, five nodes of a node 0 - a node 4 were set as the boundary location of a block.

[0104] Drawing 6 (b) is drawing for explaining a degeneration model.

[0105] In the degeneration model, modulation wiring of  $n$  included in 1 block of this drawing (a) was degeneration-ized to one, and it connected so that it might be located in the center of a block of scan wiring.

[0106] Moreover, the current source shall be connected to modulation wiring of each centralized block, and the total  $IF_0$ - $IF_3$  of the current within each block shall flow in from each current source.

[0107] That is,  $IF_j$  ( $j = 0, 1, \dots, 3$ ) is [Equation 1].

$$IF_j = \sum_{i=j \times n+1}^{(j+1) \times n} I_{fi} \quad (\text{式 1})$$

It is the current which are expressed by carrying out.

[0108] Moreover, considering as GND potential in this drawing (b) to the potential of the both ends of scan wiring being Vs in the example of this drawing (a) A voltage drop is the potential difference for two points. In a degeneration model By having carried out the modeling of the current which flows into scan wiring chosen from modulation wiring according to the above-mentioned current source, the amount of voltage drops of each part on scan wiring is because it is calculable by computing the potential of each part by making the electric supply section into a reference potential.

[0109] Moreover, if an equivalent current flows in from train wiring when omitting the surface conduction mold emission component is seen from selected scan wiring, it will not be based on the existence of a surface conduction mold emission component, but the voltage drop itself to generate will be for not changing. Therefore, the surface conduction mold emission component was omitted here by setting the current value which flows in from the current source of each block as the current value (formula 1) of total of the component current within each block.

[0110] Moreover, wiring resistance of scan wiring of each block carried out by the wiring resistance [ n times ] r of scan wiring of the one section (the one section has pointed out the thing between the intersections of an intersection and the next train wiring with train wiring with scan wiring here.). Moreover, in this example, wiring resistance of scan wiring of the one section was taken as the uniform thing. .

[0111] In such a degeneration model, the amounts DV0-DV4 of voltage drops generated in each node on scan wiring are easily calculable with the formula of the following sum-of-products formats.

[0112]

[Equation 2]

$$DV0 = a00 \times IF0 + a01 \times IF1 + a02 \times IF2 + a03 \times IF3$$

$$DV1 = a10 \times IF0 + a11 \times IF1 + a12 \times IF2 + a13 \times IF3$$

$$DV2 = a20 \times IF0 + a21 \times IF1 + a22 \times IF2 + a23 \times IF3$$

$$DV3 = a30 \times IF0 + a31 \times IF1 + a32 \times IF2 + a33 \times IF3$$

$$DV4 = a40 \times IF0 + a41 \times IF1 + a42 \times IF2 + a43 \times IF3$$

Namely, [Equation 3]

$$DV_i = \sum_{j=0}^3 a_{ij} \times IF_j \quad (\text{式 2})$$

( i = 0, 1, 2, 3, 4 )

It comes out.

[0113] However,  $a_{ij}$  is the potential difference which lengthened electric supply section potential (here GND) from the potential generated in the i-th node, when a unit current is poured only into the j-th block in a degeneration model (this is hereafter considered as the definition of  $a_{ij}$ ).

[0114] Above  $a_{ij}$  can be easily derived as follows by Kirchhoff's law.

[0115] In drawing 6 (b), the wiring resistance to the supply terminal on the left-hand side of scan wiring seen from the current source of Block i Namely,  $r_{li}$  ( $i = 0, 1, 2, 3$ ), It will be [Equation 4] if each of wiring resistance between  $r_{ri}$  ( $i = 0, 1, 2, 3$ ), block 0, and a left supply terminal and wiring resistance between block 4 and a right supply terminal is defined for the wiring resistance to a right-hand side supply terminal as  $r_t$ .

```

r10 = rt + 0.5×n×r
rr0 = rt + 3.5×n×r
r11 = rt + 1.5×n×r
rr1 = rt + 2.5×n×r
r12 = rt + 2.5×n×r
rr2 = rt + 1.5×n×r
r13 = rt + 3.5×n×r
rr3 = rt + 0.5×n×r

```

Furthermore, [Equation 5]

```

a = r10 // rr0 = r10×rr0 / (r10+rr0)
b = r11 // rr1 = r11×rr1 / (r11+rr1)
c = r12 // rr2 = r12×rr2 / (r12+rr2)
d = r13 // rr3 = r13×rr3 / (r13+rr3)

```

It sets.

[0116] Then,  $a_{ij}$  is [Equation 6].

```

a00 = a×rt / r10
a10 = a×(rt + 3×n×r) / rr0
a20 = a×(rt + 2×n×r) / rr0
a30 = a×(rt + 1×n×r) / rr0
a40 = a×rt / rr0
a01 = b×rt / r11
a11 = b×(rt + n×r) / r11
a21 = b×(rt + 2×n×r) / rr1
a31 = b×(rt + n×r) / rr1
a41 = b×rt / rr1
a02 = c×rt / r12
a12 = c×(rt + n×r) / r12
a22 = c×(rt + 2×n×r) / r12
a32 = c×(rt + n×r) / rr2
a42 = c×rt / rr2
a03 = d×rt / r13
a13 = d×(rt + n×r) / r13
a23 = d×(rt + 2×n×r) / r13
a33 = d×(rt + 3×n×r) / r13
a43 = d×rt / rr3

```

(式3)

\*\* -- it can derive easily like.

[0117] (A formula 2) is easily computable with Kirchhoff's law, if it looks back upon the definition of  $a_{ij}$  when the block count is not 4. Moreover, when not equipping the both sides of scan wiring with an electric supply terminal like this example but preparing only for one side, it can compute easily by calculating according to the definition of  $a_{ij}$ .

[0118] In addition, what is necessary is not to recalculate it, whenever the parameter  $a_{ij}$  defined by (the formula 3) calculates, to calculate it once, and just to memorize it as a table.

[0119] In the above count, the predetermined value was used as a current which flows to modulation wiring. Although amendment data can be obtained also on the condition, since it has the influence of a voltage drop in fact, a predetermined current does not necessarily flow.

[0120] In order to search for the current which flows to modulation wiring, the invention in this application forms circuit simulators and circuit equations, such as an observation and SPICE, for the number opposite current value property of marks-total LGTs when all blocks are equally on beforehand, asks by performing convergence count, is storing those values in a table (memory) for every block, and acquires the current value according to a lighting condition in approximation.



[0121] Drawing 7 forms a circuit equation, searches for the number opposite current value property of marks-total LGTs when all blocks light up equally by convergence count, and shows the current which flows for the surface conduction mold emission component belonging to block 0.

[0122] Drawing 7 is calculated as-120 modulation wiring,  $r=0.042$  ohms, and  $r_t=20$ ohm, and is standardized with the current value which flows when a voltage drop does not break out.

[0123] By storing this result in memory for every block, the current value in consideration of the effect of a voltage drop was able to be acquired in approximation by making the number of marks-total LGTs into input.

[0124] By this example, there were few numbers (namely, the number of marks-total LGTs) of modulation wiring, and it has realized by memory with the address line of 7-bit width of face. However, when there are many numbers (namely, the number of marks-total LGTs) of modulation wiring (the address line of 12-bit width of face is the need for  $1280 \times 3$ ), it is also possible to connect 8 bits of high orders of the number of marks-total LGTs to the address line of memory, to restrict the effective digit count of the number of marks-total LGTs, and to calculate a current value.

[0125] On the other hand, drawing 8 forms a circuit equation, searches for the number opposite current value property of marks-total LGTs in case a lighting pattern with various blocks is shown by convergence count, and shows the current which flows for the surface conduction mold emission component belonging to block 0.

[0126] Even if it stores in memory altogether the result shown in drawing 8 for every block, the current value in consideration of the effect of a voltage drop can be acquired. in this case -- although the error (it is about 2% in many places) included in the result of drawing 7 is avoidable, since the combination of a lighting pattern is needed as input -- the address of memory --  $x^{( \text{number of modulation wiring / block count} )}$  block count (it sets to this example and is  $x^{(120/4)} 4=3240000$ ) -- it is required.

[0127] Namely, as for the address line of memory, 22-bit width of face is needed. therefore, the number of the address line of table memory may become large (if it puts in another way -- memory space) too much

[0128] For example, the high order bit of the number of lightings of each block is inputted as the address line of memory, and it considers as the configuration which restricts the effective digit count of the number of lightings, and calculates the current value for every block by table memory, and is checking that hardware is reducible.

[0129] As mentioned above, the suitable current value corresponding to a voltage drop could be calculated, and amendment for the brightness fall resulting from a voltage drop was able to be performed especially suitably.

[0130] Drawing 6 (c) is an example of the result of having calculated the amounts DV0-DV4 of voltage drops of each node by the above-mentioned approach, in a certain lighting condition.

[0131] Since a voltage drop serves as a very smooth curve, it is assumed that the voltage drop between nodes takes a value as shown in the dotted line of drawing in approximation.

[0132] Thus, if this degeneration model is used, it is possible to calculate the voltage drop for every node in the time of a request to the image data of arbitration.

[0133] As mentioned above, the amount of voltage drops in a certain lighting condition was simply calculated using the degeneration model.

[0134] Although the voltage drop generated on selected scan wiring changed in time within the 1 horizontal-scanning period, as mentioned above about this, it searched for the lighting condition at that time from some time of day in a 1 horizontal-scanning period, and predicted it by calculating a voltage drop using a degeneration model to the lighting condition.

[0135] In addition, if the image data of each block is referred to, it can ask for the number of lightings within each block in the time of there being a 1 horizontal-scanning period easily.

[0136] Now, the number of bits of the input data to a pulse-width-modulation circuit shall be 8 bits as one example, and a pulse-width-modulation circuit shall output linear pulse length to the magnitude of input data.

[0137] That is, when input data is 0, an output is set to "L", when input data is 255, "H" is outputted

between 1 horizontal-scanning periods, when input data is 128, the period of the first one half shall output "H" among 1 horizontal-scanning periods, and the period of next one half shall output "L."

[0138] In such a case, the number of lightings of the time of day when the pulse started is easily detectable if a number is counted, although the input data to a pulse-width-modulation circuit is larger than 0.

[0139] Similarly, the number of lightings of the time of day of the center of a 1 horizontal-scanning period is easily detectable if a number is counted, although the input data to a pulse-width-modulation circuit is larger than 128.

[0140] Thus, if the party rate of the image data is carried out to a certain threshold and the number whose output of a comparator is truth is counted, the number of lightings in the time amount of arbitration can calculate easily.

[0141] Here, in order to simplify subsequent explanation, an amount of time amount called a time slot is defined.

[0142] That is, the time slot expresses the time amount from the standup of the Pulse-Density-Modulation signal in a 1 horizontal-scanning period, and it is defined as what expresses the time of day immediately after the standup of a Pulse-Density-Modulation signal in time-slot = 0.

[0143] Time slot = it is defined as what expresses in 64 the time of day when the time amount for 64 gradation passed from the standup of a Pulse-Density-Modulation signal.

[0144] In time-slot = 128, it is similarly defined as the thing showing the time of day when the time amount for 128 gradation passed from the standup of a Pulse-Density-Modulation signal.

[0145] (Count of the amount of voltage drops to amendment data) As mentioned above, time amount change of the voltage drop during a 1 horizontal-scanning period was discretely [ approximation-wise and ] calculable by calculating repeatedly using a degeneration model.

[0146] It is the example which drawing 9 repeated and calculated the voltage drop to a certain image data, and calculated time amount change of the voltage drop in scan wiring (the voltage drop shown here and its time amount change are examples to a certain image data, and the voltage drop to another image data of carrying out another change again is natural.).

[0147] this drawing -- time-slot = -- to four times of 0 and 64, 128, 192, it calculated with the application of the each degeneration model, and the voltage drop of each time of day was calculated discretely.

[0148] Although the amount of voltage drops in each node was connected with drawing 9 by the dotted line, the dotted line was indicated in order to make drawing legible, and the voltage drop calculated with this degeneration model was discretely calculated in the location of each node shown by \*\*, O, -, and \*\*.

[0149] Artificers examined the approach of computing the amendment data which amend image data from the amount of voltage drops as a next phase which became computable about the magnitude and time amount change of a voltage drop.

[0150] Drawing 10 is the graph which estimated the emission current emitted from the surface conduction mold emission component in a lighting condition, when it generates on scan wiring which the voltage drop shown in drawing 9 chose.

[0151] The amount of the emission current when making into 100% magnitude of the emission current emitted when an axis of ordinate does not have a voltage drop is expressed with the percentage, and the axis of abscissa expresses the horizontal position.

[0152] As shown in drawing 10, in a node 2, the emission current in case  $I_{e2}$  and a time slot are [ emission current / at the time of time-slot = 0 ] 192 about the emission current at the time of  $I_{e1}$  and time-slot = 128 in the emission current at the time of  $I_{e0}$  and time-slot = 64 is set to  $I_{e3}$ .

[0153] Drawing 10 was calculated from the graph of the "driver voltage pair emission current" of the amount of voltage drops, and drawing 3. The value of the emission current at the time of the electrical potential difference which specifically subtracted the amount of voltage drops from the electrical potential difference VSEL being impressed is plotted mechanically.

[0154] Therefore, this drawing means the current emitted from the surface conduction mold emission component which is in a lighting condition to the last, and the surface conduction mold emission

component in a putting-out-lights condition does not emit a current.

[0155] Below, how to compute the amendment data which amend image data from the amount of voltage drops is explained.

[0156] (The calculation approach of discrete amendment data) Drawing 11 (a), (b), and (c) are drawings for explaining how calculating the amendment data of the amount of voltage drops from time amount change of the emission current of drawing 10. This drawing is the example for which magnitude computed the amendment data to the image data of 64.

[0157] The amount Q0 of emission charges by the emission current pulse if time amount which is equivalent to IE and 1 gradation of pulse width modulation in the emission current in case there is no effect of a voltage drop now is set to  $\Delta t$ , in case image data will be 64 applies pulse width ( $64 \times \Delta t$ ) to the amplitude IE of an emission current pulse, and is [Equation 7].

$$Q0 = IE \times 64 \times \Delta t \quad (\text{式 4})$$

It can express by carrying out.

[0158] However, the phenomenon in which the emission current falls by the voltage drop on scan wiring occurs in fact.

[0159] The amount of emission charges by the emission current pulse in consideration of the effect of a voltage drop is calculable as follows in approximation. Namely, the time slot of a node 2 = if the emission current of 0 and 64 is set to  $I_{e0}$  and  $I_{e1}$ , respectively and the emission current between 0-64 approximates between  $I_{e0}$  and  $I_{e1}$  with what changes linearly, the amount Q1 of emission charges in the meantime will be a trapezoid area of drawing 11 (b), i.e., [Equation 8].

$$Q1 = (I_{e0} + I_{e1}) \times 64 \times \Delta t \times 0.5 \quad (\text{式 5})$$

It is calculable by carrying out.

[0160] Next, when only DC 1 lengthens pulse width in order to amend a fallen part of the emission current by the voltage drop as shown in drawing 11 (c), suppose that the effect of a voltage drop was removable.

[0161] Moreover, although it is thought that the amount of emission currents in each time slot changes when a voltage drop is amended and pulse width is lengthened, by time-slot = 0, the emission current shall be set to  $I_{e1}$  by the emission current in  $I_{e0}$  and time-slot = (64+DC1) like drawing 11 (c) here for simplification.

[0162] Moreover, the emission current between time slots 0 (64+DC1) is approximated with what takes the value on the line which connected the emission current of two points in a straight line.

[0163] Then, the amount Q2 of emission charges by the emission current pulse after amendment is [Equation 9].

$$Q2 = (I_{e0} + I_{e1}) \times (64 + DC1) \times \Delta t \times 0.5 \quad (\text{式 6})$$

It is calculable by carrying out.

[0164] It is [Equation 10] if this is equal to the above-mentioned Q0.

$$IE \times 64 \times \Delta t = (I_{e0} + I_{e1}) \times (64 + DC1) \times \Delta t \times 0.5$$

It becomes.

[0165] It will be [Equation 11] if this is solved about DC1.

$$DC1 = ((2 \times IE - I_{e0} - I_{e1}) / (I_{e0} + I_{e1})) \times 64 \quad (\text{式 7})$$

It becomes.

[0166] Thus, amendment data in case image data is 64 were computed.

[0167] Namely, the magnitude of the location of a node 2 should just add CData=DC1 as an amount of amendments like a publication to the image data of 64 (formula 7).

[0168] Drawing 12 is the example for which magnitude computed the amendment data to the image data of 128 from the calculated amount of voltage drops.

[0169] The amount Q3 of emission charges by the emission current pulse now expected when image data is 128 is [Equation 12].

$$Q3 = IE \times 128 \times \Delta t = 2 \times Q0 \quad (\text{式 } 8)$$

It comes out.

[0170] On the other hand, the amount of injection charges by the actual emission current pulse influenced of the voltage drop is calculable as follows in approximation.

[0171] Namely, the time slot of a node 2 = the amount of emission currents of 0 and 64, 128 is set to  $I_{e0}$ ,  $I_{e1}$ , and  $I_{e2}$ , respectively. Moreover, if the emission current between 0-64 changes between  $I_{e0}$  and  $I_{e1}$  linearly and the line top which connected between  $I_{e1}$  and  $I_{e2}$  in a straight line is approximated between 64-128 with what changing, the amount Q4 of emission charges between the time slots to 0-128 will be the sum of two trapezoid area of drawing 12 (b), i.e., [Equation 13].

$$Q4 = (I_{e0} + I_{e1}) \times 64 \times \Delta t \times 0.5 \\ + (I_{e1} + I_{e2}) \times 64 \times \Delta t \times 0.5 \quad (\text{式 } 9)$$

It is calculable by carrying out.

[0172] On the other hand, the amount of amendments of a voltage drop was calculated as follows.

[0173] The period which is equivalent to periods 1, 64-128 in the period equivalent to time slots 0-64 is defined as a period 2.

[0174] When amending, only DC 1 is extended, the part of a period 1 is elongated by period 1', the part of a period 2 is extended by only DC 2, and I think that period 2' develops.

[0175] Under the present circumstances, by being amended, each period shall become the same as Q0 of the above-mentioned [ the amount of emission charges ] by being alike.

[0176] Moreover, although it could not be overemphasized that it changed by amending, the emission current of the start of each period and an end was assumed to be what not changing in order to simplify count here.

[0177] That is, for the first emission current of period 1', the emission current of the end of  $I_{e0}$  and period 1' shall be [ the emission current of the end of  $I_{e1}$  and period 2' of the first emission current of  $I_{e1}$  and period 2' ]  $I_{e2}$ .

[0178] Then, DC1 is calculable like a formula.

[0179] Moreover, DC2 is [Equation 14] by the same view.

$$DC2 = ((2 \times IE - I_{e1} - I_{e2}) / (I_{e1} + I_{e2})) \times 64 \quad (\text{式 } 10)$$

It is calculable by carrying out.

[0180] The magnitude of the location of a node 2 is [Equation 15] to the image data of 128 as a result.

$$CData = DC1 + DC2 \quad (\text{式 } 11)$$

What is necessary is just to add as an amount of amendments.

[0181] Drawing 13 is the example for which magnitude computed the amendment data to the image data of 192 from the calculated amount of voltage drops.

[0182] The amount Q5 of emission charges by the emission current pulse now expected when image data is 192 is [Equation 16].

$$Q5 = IE \times 192 \times \Delta t = 3 \times Q0$$

It comes out.

[0183] On the other hand, the amount of emission charges by the actual emission current pulse influenced of the voltage drop is calculable as follows in approximation.

[0184] Namely, the time slot of a node 2 = The emission current at the time of  $I_{e2}$  and time-slot = 192 is set [ the emission current at the time of 0 / the emission current at the time of  $I_{e0}$  and time-slot = 64 ] to  $I_{e3}$  for the emission current at the time of  $I_{e1}$  and time-slot = 128. The emission current between 0-64 changes between  $I_{e0}$  and  $I_{e1}$  linearly, and the line top which connected between  $I_{e1}$  and  $I_{e2}$  in a straight line is changed between 64-128. If the line top which connected between  $I_{e2}$  and  $I_{e3}$  in a straight line is

approximated between 128-192 with what changing, the amount Q6 of injection charges between the time slots to 0-192 will be three trapezoid area of drawing 13 (b), i.e., [Equation 17].

$$Q6 = (Ie0 + Ie1) \times 64 \times \Delta t \times 0.5 \\ + (Ie1 + Ie2) \times 64 \times \Delta t \times 0.5 \quad (\text{式 1 2}) \\ + (Ie2 + Ie3) \times 64 \times \Delta t \times 0.5$$

It is calculable by carrying out.

[0185] On the other hand, the amount of amendments of a voltage drop was calculated as follows.

[0186] The period which is equivalent to periods 2,128-192 in the period which is equivalent to periods 1, 64-128 in the period equivalent to time slots 0-64 is defined as a period 3.

[0187] As the same way as the point, after amending, only DC 1 is extended, the part of a period 1 is elongated by period 1', only DC 2 is extended, the part of a period 2 is elongated by period 2', and the part of a period 3 thinks that only DC 3 is extended and period 3' develops.

[0188] Under the present circumstances, each period shall become the same as Q0 of the above-mentioned [ the amount of emission charges ] by being amended.

[0189] Moreover, the emission current of the start of each period and an end was assumed to be what does not change before and after amendment.

[0190] That is, for the first emission current of Ie1 and period 2', the emission current of the end of Ie1 and period 2' shall be [ the first emission current of period 1' / the emission current of the end of Ie0 and period 1' / the emission current of the end of Ie2 and period 3' of the first emission current of Ie2 and period 3' ] Ie3.

[0191] Then, DC1 and DC2 are calculable like a formula 7 and a formula 10, respectively.

[0192] Moreover, about DC3, it is [Equation 18].

$$DC3 = ((2 \times IE - Ie2 - Ie3) / (Ie2 + Ie3)) \times 64 \quad (\text{式 1 3})$$

It is calculable by carrying out.

[0193] The amendment data CData which the magnitude of the location of a node 2 adds to the image data of 192 as a result are [Equation 19].

$$CData = DC1 + DC2 + DC3 \quad (\text{式 1 4})$$

Then, it is good.

[0194] The amendment data DC of the image data [ as opposed to the location of a node 2 as mentioned above ] 64,128,192 were computed.

[0195] Moreover, since there was no effect of a voltage drop to the emission current though natural when pulse width is 0, amendment data set to 0 the amendment data CData which set to 0 and are added to image data.

[0196] In addition, having calculated amendment data to discontinuous image data aims at reducing computational complexity like 0 and 64,128,192 in this way.

[0197] That is, if same count is performed to all the image data of arbitration, very much, computational complexity will become large and the amount of hardware for calculating will become very large.

[0198] On the other hand, there is an inclination for amendment data to also become large, so that image data is large in the location of a certain node. If the point and point near the image data that amendment data are already computed are interpolated by straight-line approximation by this in case the amendment data to the image data of arbitration are computed, it will be because computational complexity can be decreased sharply. In addition, this interpolation is explained in detail in explanation of a discrete amendment data-interpolation means.

[0199] Moreover, image data in the location of all nodes if the same view is applied in the location of all nodes = 0 or 64,128,192 amendment data are computable.

[0200] In this example, image data was able to ask also for amendment data from four points of 0 and 64,128,192 by having calculated the amount of voltage drops of each time of day by having applied the degeneration model for the time slot to four points of 0 and 64,128,192.

[0201] However, by taking fine still more spacing of the time amount which calculates a voltage drop with a degeneration model preferably, time amount change of a voltage drop can be treated more to a precision, and the error of an approximation calculation can be reduced.

[0202] In addition, what is necessary is just to calculate by standing on the view same in that case, and transforming a formula 4 - a formula 14.

[0203] Image data [ in / to a certain input data / by the above-mentioned approach / the location of each node ] = when the amendment data to 0 and 64,128,192 were calculated discretely, the result shown in drawing 14 (a) was obtained.

[0204] Image data [ in / to a certain input data / by the above-mentioned approach / in drawing 14 (a) / the location of each node ] = it is an example of the result of having calculated the amendment data to 0 and 64,128,192 discretely.

[0205] In addition, the discrete amendment data to the same image data were tied with the curve of a dotted line, and this drawing indicated them, in order to make drawing legible.

[0206] (The interpolation approach of discrete amendment data) The amendment data computed discretely do not give the discrete amendment data in the horizontal position (train wiring number) of arbitration to the location of each node. Moreover, it is amendment data to the modulating signal of pulse width with which it has set in each node location, and shoes were beforehand set to it and coincidence, and the amendment data to the pulse width of arbitration are not given.

[0207] Then, artificers computed by interpolating the amendment data which computed discretely the amendment data which suited the modulating signal of the pulse width of the arbitration in each train wiring.

[0208] Drawing 14 (b) is drawing having shown how to compute the amendment data of a pulse width modulating signal to pulse width Data in a location called x located between Node n and a node n+1.

[0209] In addition, amendment data shall already be discretely calculated as a premise in the location  $X_n$  of Node n and a node n+1, and  $X_{n+1}$ .

[0210] Moreover, pulse width Data shall take  $D_k$  of the pulse width by which amendment data are already computed discretely, and the value between  $D_{k+1}$ .

[0211] The amendment data CA of the pulse width  $D_k$  in a location x if it writes now CData [k] and [n] use the value of CData [k], [n], CData [k], and [n+1], and are [Equation 20] as follows by straight-line approximation. [ the amendment data of the pulse width  $D_k$  of Node n ]

$$CA = \frac{(X_{n+1} - x) \times CData[k][n] + (x - X_n) \times CData[k][n+1]}{X_{n+1} - X_n} \quad (式 15)$$

It is calculable.

[0212] Moreover, the amendment data CB of pulse width  $D_{k+1}$  in a location x are [Equation 21] as follows.

$$CB = \frac{(X_{n+1} - x) \times CData[k+1][n] + (x - X_n) \times CData[k+1][n+1]}{X_{n+1} - X_n} \quad (式 16)$$

It is calculable.

[0213] By carrying out straight-line approximation of the amendment data of CA and CB, the amendment data CD to image data Data in a location x are [Equation 22] as follows.

$$CD = \frac{CA \times (D_{k+1} - Data) + CB \times (Data - D_k)}{D_{k+1} - D_k} \quad (式 17)$$

It is calculable.

[0214] As mentioned above, in order to compute the amendment data which suited the magnitude of an actual location or pulse width from discrete amendment data, it is easily calculable by the approach indicated to - (formula 15) (formula 17).

[0215] In the above, the calculation approach of amendment data has been explained.

[0216] Thus, if the computed amendment data are added to image data, image data is amended and Pulse Density Modulation is performed according to the image data after amendment, deterioration of the image quality by the voltage drop which was a technical problem from the former can be reduced, and image quality can be raised.

[0217] Moreover, by introducing approximation of degeneration-izing which has so far been explained, since the hardware for the amendment which was a technical problem from already can also reduction-ize computational complexity, it has the outstanding merit that it can constitute from very small-scale hardware.

[0218] In the above, the amendment approach of the image data in this operation gestalt was explained.

[0219] (The whole system and functional description of each part) Next, hardware of the image display device which contained the amendment data calculation means in this operation gestalt is explained.

[0220] Drawing 15 is the block diagram showing the outline of the circuitry. In drawing display-panel [ of drawing 1 ], Dx1-DxM, and Dx1' - DxM' 1 The potential supply terminal of scan wiring of a display panel, A high-pressure-distribution terminal for Dy1-DyN to impress the potential supply terminal of modulation wiring of a display panel between a face plate and a rear plate, and for Hv impress acceleration voltage, In Va, a high voltage power supply and 2 a synchronizing signal separation circuit and 4 for a scanning circuit and 3 A timing generating circuit, A conversion circuit for 7 to change a YPbPr signal into RGB by the synchronizing separator circuit 3, As for a pulse-width-modulation means by which in 17 the shift register for the image data of one line and 6 output the latch circuit for the image data of one line to modulation wiring of a display panel, and, as for 8, the reverse gamma processing section and 5 output a modulating signal, and 12, an adder and 14 are amendment data calculation means.

[0221] Moreover, in this drawing, the image data of RGB parallel with which R, G, and B performed the input image data of RGB parallel and reverse gamma transform processing to which Ra, Ga, and Ba are mentioned later, the image data to which parallel serial conversion of the Data was carried out by the data array transducer, the amendment data by which CD was computed with the amendment data calculation means, and Dout are the amended image data by adding amendment data to image data with an adder.

[0222] (A synchronizing separator circuit, timing generating circuit) The image display device of this operation gestalt can display both NTSC, television signals, such as PAL, SECAM, and HDTV, VGA that is the output of a computer.

[0223] By drawing 15 , in order to simplify drawing, only the HDTV method is indicated.

[0224] The video signal of a HDTV method separates synchronizing signals Vsync and Hsync by the synchronizing separator circuit of 3 first, and supplies them to a timing generating circuit. The video signal detached a synchronized part is supplied to a RGB conversion means. Non-illustrated a low pass filter, an A/D converter, etc. are formed in the interior of a RGB conversion means at everything but the conversion circuit from YPbPr to RGB, YPbPr is changed into a digital RGB code, and the reverse gamma processing section is supplied.

[0225] (Timing generating circuit) A timing generating circuit is a circuit which builds in the PLL circuit, generates the timing signal which synchronized with the synchronizing signal of various image sources, and generates the timing signal of each part of operation.

[0226] As a timing signal which the timing generating circuit 4 generates, there is Tscan which controls the clock Pwmclk for the control signal Dataload for latching data to a latch circuit 6, the Pulse-Density-Modulation start signal Pwmstart of the modulation means 8, and Pulse Density Modulation and actuation of a scanning circuit 2 from Tsft which controls the timing of a shift register 5 of operation, and a shift register.

[0227] (Scanning circuit) A scanning circuit 2 and 2' are circuits which output the selection potential Vs or the non-choosing potential Vns to the connection terminals Dx1-DxM, in order to scan the display panel of one line at a time sequentially at a 1 horizontal-scanning period ( drawing 16 ).

[0228] A scanning circuit 2 and 2' are circuits which perform a sequential change and a scan for chosen

scan wiring for every 1 level period synchronizing with timing signal Tscan from the timing generating circuit 4.

[0229] In addition, Tscan is a timing signal group made from a Vertical Synchronizing signal, a Horizontal Synchronizing signal, etc.

[0230] A scanning circuit 2 and 2' consist of M switches, shift registers, etc., respectively, as shown in drawing 16. As for these switches, it is desirable that a transistor and FET constitute.

[0231] In addition, in order to reduce the voltage drop in scan wiring, as shown in drawing 15, it is desirable [ a scanning circuit ] to connect with the both ends of scan wiring of a display panel, and to be driven from both ends.

[0232] On the other hand, this invention is effective even when the scanning circuit is not connected to the both ends of scan wiring, and it can be applied only by changing the parameter of (a formula 3).

[0233] (Reverse gamma processing section) CRT is equipped with the luminescence property (it is henceforth called reverse gamma characteristics) of the 2.2nd [ about ] power to the input.

[0234] Such a property of CRT is taken into consideration, and when it displays on CRT, generally an input video signal is changed according to the gamma characteristics of the 0.45th power so that it may become a linear luminescence property.

[0235] On the other hand, since the display panel of the image display device of this invention has the almost linear luminescence property to the die length of impression time amount when becoming irregular by the impression time amount of this driver voltage not using the modulation by the peak value of the driver voltage impressed to an electron emission component, it needs to change an input video signal based on reverse gamma characteristics (it is henceforth called reverse gamma conversion).

[0236] The reverse gamma processing section indicated to drawing 15 is the block for carrying out reverse gamma conversion about an input video signal.

[0237] The reverse gamma processing section of this operation gestalt constituted the above-mentioned reverse gamma transform processing by memory.

[0238] It constituted by using 8 bits of addresses, and the memory of 8 bits of data the whole color, the reverse gamma processing section having made 8 bits the number of bits of video signals R, G, and B, and having used as 8 bits the number of bits of the video signals Ra, Ga, and Ba which are the outputs of the reverse gamma processing section similarly ( drawing 17 ).

[0239] (Data array transducer) the data array transducer 9 -- RGB -- it is the circuit which carries out parallel serial conversion of Ra, Ga, and Ba which are a parallel video signal according to the pixel array of a display panel. The configuration of the data array transducer 9 consists of the FIFO (First In First Out) memory 2021R, 2021G, and 2021B and the selectors 2022 for RGB each color of every, as shown in drawing 18.

[0240] although not illustrated in this drawing -- a FIFO memory -- the memory of a several words level pixel -- two, the object for odd lines, and the object for even lines, -- having -- \*\*\*\*. When image data of the oddth line are inputted, while data are written in FIFO for odd lines, the image data accumulated in the horizontal scanning period in front of [ of the FIFO memory for even lines ] one is read.

[0241] When image data of the eventh line are inputted, while data are written in FIFO for even lines, the image data accumulated in the level period in front of [ of the FIFO memory for odd lines ] one is read.

[0242] According to the pixel array of a display panel, parallel serial conversion of the data read from the FIFO memory is carried out by the selector, and they are outputted as serial image data SData of RGB. Although not indicated for details, it operates based on the timing control signal from the timing generating circuit 4.

[0243] (Adder 12) An adder 12 is a means to add the amendment data CD and image data Data from an amendment data calculation means. By adding, amendment is performed and image data Data is transmitted to a shift register as image data Dout.

[0244] (Delay circuit 19) Image data SData to which rearrangement was performed by the data array transducer is inputted into the amendment data calculation section and a delay circuit 19. Amendment data assistant Mabe, the amendment data calculation section, computes the amendment data CD which



suited them with reference to the horizontal position information  $x$  from a timing control circuit, and the value of image data SData.

[0245] A delay circuit 19 is a means by which it is delayed so that the amendment data corresponding to it may be correctly added to image data, in case it is prepared in order to absorb the time amount concerning amendment data calculation, and amendment data are added to image data with an adder 12. This means can be constituted by using a flip-flop.

[0246] (A shift register, latch circuit) With a shift register 5, from a serial data format, serial/parallel conversion of the image data Dout which is amendment data assistant Mabe's output is carried out to the parallel image data ID1-IDN for every modulation wiring, and it is outputted to a latch circuit. In a latch circuit, just before 1 level period is started, the data from a shift register are latched by timing signal Dataload. The output of a latch circuit 6 is supplied to a modulation means as parallel image data D1-DN.

[0247] In addition, with this operation gestalt, image data ID1-IDN, and D1-DN were taken as 8-bit image data, respectively. Such timing of operation operates based on the timing control signals TSFT and Dataload from the timing generating circuit 4 (it illustrates to drawing 15 ).

[0248] (Detail of a modulation means) The parallel image data D1-DN which is the output of a latch circuit 6 is supplied to the modulation means 8.

[0249] Modulation means are an PWM counter and the Pulse-Density-Modulation circuit (PWM circuit) equipped with the comparator and the switch (this drawing FET) for every modulation wiring, as shown in drawing 19 (a).

[0250] The relation of the output pulse width of face of image data D1-DN and a modulation means has a linear relation like drawing 19 (b).

[0251] Three examples of an output wave of a modulation means are shown in this drawing (c).

[0252] In this drawing, a wave in case the input data to a modulation means of a wave in case the input data to a modulation means of an upper wave is 0, and a central wave is 128, and a lower wave are waves in case the input data to a modulation means is 255.

[0253] In addition, in this example, the number of bits of the input data D1-DN to a modulation means was made into 8 bits (although there is a part indicated that the modulating signal of the pulse width equivalent to a 1 horizontal-scanning period is outputted in the still more nearly above-mentioned explanation when the input data of a modulation means is 255). as [ a detail ] shown in this drawing (c), the period which is not driven after falling, before [ very short ] a pulse starts, although it is time amount is established, and timing-allowances are given. .

[0254] Drawing 20 is a timing chart which shows actuation of the modulation means of this invention.

[0255] In this drawing, the synchronous clear signal of an PWM counter and Pwmclk of the Horizontal Synchronizing signal with which Hsync expresses the beginning of 1 horizontal-scanning period, the input signal to the train 1 of the modulation means of the above-mentioned [ Dataload / the load signal to a latch circuit 6, and D1-DN ] - N, and Pwmstart are the clocks of an PWM counter. Moreover, XD1-XDN express the output of the 1st - the Nth train of a modulation means.

[0256] If 1 horizontal-scanning period starts as shown in this drawing, a latch circuit 6 will transmit data to a modulation means while latching image data.

[0257] If a count is started based on Pwmstart and Pwmclk and counted value is set to 255 as shown in this drawing, an PWM counter will stop a counter and will hold counted value 255.

[0258] The comparator formed for every train compares the counted value of an PWM counter with the image data of each train, when the value of an PWM counter is more than image data, High is outputted, and the other period outputs Low.

[0259] The output of a comparator is connected to the gate of the switch of each train, the switch of ON and the bottom (GND side) serves as [ the output of a comparator / the switch of this drawing bottom (VPWM side) ] OFF, and the period of Low makes modulation wiring potential VPWM.

[0260] Conversely, while the switch of this drawing bottom turns [ the output of a comparator ] off the period of High and a lower switch turns on, potential of modulation wiring is made into GND potential.

[0261] The Pulse-Density-Modulation signal which a modulation means outputs in each part operating

as mentioned above serves as a wave with which the standup of a pulse as shown in D1, D2, and DN of drawing 20 synchronized.

[0262] (Amendment data calculation means) An amendment data calculation means is a circuit which computes the amendment data of a voltage drop by the amendment data calculation approach mentioned above. An amendment data calculation means consists of two blocks, the discrete amendment data calculation section and amendment data assistant Mabe, as shown in drawing 21.

[0263] In the discrete amendment data calculation section, it is a means to compute the amount of voltage drops from the inputted video signal, and to calculate amendment data discretely from the amount of voltage drops. In order that this means may decrease computational complexity and the amount of hardware, it introduces the concept of the above-mentioned degeneration model, and computes amendment data discretely.

[0264] The amendment data computed discretely are interpolated by amendment data assistant Mabe, and the amendment data CD which suited the magnitude of image data and its level display position  $x$  are computed.

[0265] (Discrete amendment data calculation section) Drawing 22 is the discrete amendment data calculation section for computing the discrete amendment data of this invention.

[0266] In this drawing the number count means of lightings, and 101a-101d 100a-100d Each block, The table memory for memorizing the parameter  $a_{ij}$  which indicated the register group which stores the number of lightings in each time of day, and 102 by CPU, and indicated 103 by the formula 2 and the formula 3, A temporary register for 104 to store a count result temporarily, the program memory in which, as for 105, the program of CPU is stored, The table memory the translation data from which 112 changes the amount of voltage drops into the amount of emission currents was indicated to be, A register group for the table memory the current value  $IF_i$  which 111 mentions later was indicated to be, and 106 to store the count result of the discrete amendment data mentioned above, The number count means of marks-total LGTs of the sum total of the number [ in / in 100e / each block of each time of day ] of lightings and 101e are the register groups for storing the result (the number of marks-total LGTs in each time of day) of number count means of marks-total LGTs 100e.

[0267] The number count means 100a-100d of lightings consist of comparators, adders, etc. which were indicated to this drawing (b). Video signals  $R_a$ ,  $G_a$ , and  $B_a$  are inputted into comparator 107 a-c, respectively, and are serially compared with the value of  $C_{val}$ .

[0268] The comparison of  $C_{val}$  and image data is performed, and if the image data of comparator 107 a-c is larger, High is outputted, and if small, it will output Low.

[0269] The output of a comparator is mutually added by adders 108 and 109, adds for every block with an adder 110 further, and stores the addition result for every block in register group 101 a-d as the number of lightings for every block.

[0270] 0 and 64,128,192 are inputted into number count means of lightings 100 a-d as a compound value  $C_{val}$  of a comparator, respectively.

[0271] As a result, number count means of lightings 100a counts the number of the larger image data among image data than zero, and stores the grand total for the block of every in register 101a.

[0272] Similarly, number count means of lightings 100b counts the number of the larger image data among image data than 64, and stores the grand total for the block of every in register 101b.

[0273] Similarly, number count means of lightings 100c counts the number of the larger image data among image data than 128, and stores the grand total for the block of every in register 101c.

[0274] Similarly, the 100d of the number count means of lightings counts the number of the larger image data among image data than 192, and they store the grand total for the block of every in register 101d.

[0275] Moreover, number count means of marks-total LGTs 100e is the almost same configuration as number count means of lightings 100a, and stores the grand total (the number of marks-total LGTs in each time of day) of a whole block in register 101e about the image data corresponding to each time of day.

[0276] The number opposite current value property of marks-total LGTs shown in drawing 7 was used

for the current value  $IF_i$  stored in the table memory 3 (111) here. That is, the current value at the time of making a whole block turn on equally by convergence count beforehand was acquired in approximation, and the number of marks-total LGTs was stored for the result as the address.

[0277] If it number[ of lightings ]-counts for every block and every time amount as mentioned above, CPU reads the parameter table  $a_{ij}$  stored in the table memory 103 at any time, reads a current value  $IF_i$  from the table memory 3 (111) with reference to the number of marks-total LGTs, calculates the amount of voltage drops according to a formula 2 - a formula 5, and stores a count result in a temporary register 104.

[0278] In this example, the sum-of-products calculation function for calculating a formula 2 smoothly to CPU was prepared.

[0279] As a means to realize the operation mentioned to the formula 2, you may not perform a sum-of-products operation by CPU, either, for example, the count result may be put into memory.

[0280] That is, a lighting condition may be considered as an input and memory may be made to memorize the amount of voltage drops of each node location to all the input configurations considered.

[0281] While count of the amount of voltage drops was completed, from the temporary register 104, CPU read each time amount and the amount of voltage drops of each block, with reference to a broth and the table memory 2 (112), changed the amount of voltage drops into the amount of emission currents, and computed discrete amendment data according to the formula 5 - the formula 10 or the formula 11 - the formula 17. The calculated discrete amendment data were stored in the register group 106.

[0282] Since capacity of the table memory 3 (111) is lessened as mentioned above, this invention can be carried out, even if it lessens the effective digit count (number of bits) of the number of marks-total LGTs and realizes.

[0283] As an example, 8 bits of high orders of the number of marks-total LGTs with modulation wiring of  $1280 \times 3$  of a panel were made into the address line of the table memory 3 (111), and the approximation calculation was performed. Also in this case, the image has been displayed good.

[0284] The same effectiveness was acquired even if it used the several pairs lighting current value property shown in drawing 8 for the current value  $IF_i$  stored in the table memory 3 (111) as other approaches. Namely, the number of modulation wiring in which  $N_2$  and block 3 contain the number of modulation wiring in which  $N_1$  and block 2 contain the number of modulation wiring in which  $N_0$  and block 1 contain the number of modulation wiring which block 0 contains is set to  $N_3$ .  $X_0$  ( $X_0$  is the integer of 0 to  $N_0$ ) and the number of lightings of block 1  $X_1$  ( $X_1$  is the integer of 0 to  $N_1$ ), [ the number of lightings of block 0 ]  $X_2$  ( $X_2$  is the integer of 0 to  $N_2$ ) and the number of lightings of block 3 memorize [ the number of lightings of block 2 ] in memory in quest of all of the data of  $IF_0$ ,  $IF_1$ ,  $IF_2$ , and  $IF_3$  at the time of  $X_3$  ( $X_3$  is the integer of 0 to  $N_3$ ).

[0285] The value which shows  $IF_0$ ,  $IF_1$ ,  $IF_2$ , and  $IF_3$  by considering as an input  $X_0$ ,  $X_1$ ,  $X_2$ , and  $X_3$  which are a value according to a picture signal by this was able to be outputted from memory. At this time, number count means of marks-total LGTs 100e and register county 101e do not have the need.

[0286] In this case, although there is a merit whose error decreases compared with the approximation property acquired from the former number of marks-total LGTs, the capacity which table memory takes will increase.

[0287] Since capacity of the table memory 3 (111) is lessened as mentioned above, this invention can be carried out, even if it lessens the effective digit count (number of bits) of the number of lightings for every block and realizes.

[0288] For example, when modulation wiring is divided into 4 blocks, it is checking that hardware is reducible by making the number of lightings of each block into 2 bits of high orders, inputting a total of 8 bits as the address line of memory, and calculating the current value for every block by the table memory 3 (111).

[0289] In addition, a voltage drop  $DV$  or the amount  $I_e$  of emission currents may be adopted as information stored in the table memory 3 (111). In this case, there is a merit that the translation table from  $IF$  to  $I_e$  can be excluded.

[0290] (Amendment data assistant Mabe) Amendment data assistant Mabe is a means for computing the location (horizontal position) where image data is displayed, and the amendment data which suited the magnitude of image data. By interpolating the amendment data computed discretely, this means computes the amendment data corresponding to the display position (horizontal position) of image data, and the magnitude of image data.

[0291] Drawing 23 is drawing for explaining amendment data assistant Mabe.

[0292] In this drawing, 123 is a decoder for determining node number [ of the discrete amendment data used for interpolation ]  $n$ , and  $n+1$  from the display position (horizontal position)  $x$  of image data, and 124 is a decoder for determining  $k$  of a formula 15 - a formula 17, and  $k+1$  from the magnitude of image data.

[0293] Moreover, selectors 125-128 are selectors for choosing discrete amendment data and supplying a straight-line approximation means.

[0294] Moreover, 120-122 are the straight-line approximation means for performing straight-line approximation of - (formula 17), respectively (formula 15).

[0295] The example of a configuration of the straight-line approximation means a120 is shown in drawing 24. Generally, a subtractor, an integrator, an adder, a divider, etc. can constitute a straight-line approximation means so that it may be expressed with the operator of - (formula 15) (formula 17).

[0296] However, there are a train wiring number between the nodes and nodes which compute discrete amendment data desirably, and a merit that hardware can be constituted very easily if it constitutes so that spacing (namely, time interval which computes a voltage drop) of the image data which computes discrete amendment data may become the exponentiation of 2. If they are set as the exponentiation of 2, in the divider shown in drawing 24,  $X_{n+1}-X_n$  serves as a value of the exponentiation of 2, and should just carry out a bit shift.

[0297] It is necessary not to dare produce a divider that what is necessary is to shift the addition result of an adder by the multiplier of a exponentiation, and just to output it if the value of  $X_{n+1}-X_n$  is a value which is an always fixed value and is expressed with the exponentiation of 2.

[0298] Moreover, while becoming possible to produce decoders 123-124 simply by making into the exponentiation of 2 spacing of the node which computes discrete amendment data also in parts other than this, and spacing of image data, it has very many merits that the operation currently performed with the subtractor of drawing 24 can be transposed to an easy bit operation etc.

[0299] In the above, artificers have so far explained the image display device of this invention equipped with the amendment circuit of a voltage drop examined wholeheartedly.

[0300] Thus, by adding the computed amendment data to image data with an adder 12, the effect of the voltage drop in a display image can be reduced, and it is very desirable.

[0301] Moreover, there was effectiveness which was [ constitute / hardware small-scale in hardware ] excellent.

[0302] (Timing of each part of operation) The timing chart of the timing of each part of operation is shown in drawing 25.

[0303] In addition, the clock which created Hsync with the Horizontal Synchronizing signal and created DotCLK from Horizontal Synchronizing signal Hsync by the PLL circuit in a timing generating circuit in this drawing, The digital image data from an input change circuit and Data R, G, and B The image data after data array conversion, A shift clock for the image data and TSFT by which voltage drop amendment was performed to Dout to transmit image data Dout to a shift register 5, A load pulse for Dataload to latch data to a latch circuit 6, the start signal of the Pulse Density Modulation of the above-mentioned [ Pwmstart ], and a modulating signal XD1 are examples of the Pulse-Density-Modulation signal supplied to the modulation wiring 1.

[0304] With initiation of 1 level period, the digital image data RGB are transmitted from an input change circuit. If the image data inputted is expressed with  $R_I$ ,  $G_I$ , and  $B_I$ , they will have image data stored and will be outputted as digital image data  $Data_I$  in the horizontal scanning period  $I+1$  during 1 level period in the horizontal scanning period  $I$  to compensate for pixel arrangement of a display panel by the data array conversion circuit 9 in this drawing.

[0305] R\_I, G\_I, and B\_I are inputted into an amendment data calculation means in the horizontal scanning period I. With this means, the number of lightings mentioned above is counted and the amount of voltage drops is computed with termination of a count.

[0306] After the amount of voltage drops is computed, discrete amendment data are computed and a calculation result is stored in a register.

[0307] It moves at a scan period I+1, and synchronizing with image data Data\_I in front of 1 horizontal-scanning period being outputted, with an amendment data-interpolation means, discrete amendment data are interpolated and amendment data are computed from a data array transducer. The number conversion of gradation is immediately performed to the interpolated amendment data by the number transducer 15 of gradation, and they are supplied to an adder 12.

[0308] In an adder 12, sequential addition of image data Data and the amendment data CD is carried out, and amended image data Dout is transmitted to a shift register. According to Tsft, a shift register performs serial parallel conversion and outputs the parallel image data ID1-IDN to a latch circuit 6 while it memorizes image data Dout for a 1 level period. A latch circuit 6 latches the parallel image data ID1-IDN from a shift register according to the standup of Dataload, and transmits the latched image data D1-DN to the Pulse-Density-Modulation means 8.

[0309] The pulse-width-modulation means 8 outputs the pulse width modulating signal of the pulse width according to the latched image data. As a result, to the inputted image data, the pulse width which a modulation means outputs is overdue by 2 horizontal-scanning period, and is displayed in the image display device of this operation gestalt.

[0310] When an image is displayed with such an image display device, the amount of voltage drops in scan wiring which was a technical problem from the former can be amended, degradation of the display image resulting from it can be improved, and a very good image can be displayed.

[0311] Moreover, by interpolating and asking for it, amendment data can be made to calculate very simply between the points and points which computed amendment data discretely and were calculated discretely, and it has the effectiveness which was very excellent -- it is realizable by further very easy hardware.

[0312] (2nd operation gestalt) With the 2nd operation gestalt, it considered as the configuration shown in drawing 26. In this drawing the number count means of lightings, and 101a-101d 100a-100d Each block, The table memory for memorizing the parameter  $a_{ij}$  which indicated the register group which stores the number of lightings in each time of day, and 102 by CPU, and indicated 103 by the formula 2 and the formula 3, A temporary register for 104 to store a count result temporarily, the program memory in which, as for 105, the program of CPU is stored, The table memory the translation data from which 112 changes the amount of voltage drops into the amount of emission currents was indicated to be, A register group for 106 to store the count result of the discrete amendment data mentioned above, The number count means of marks-total LGTs of the sum total of the number [ in / in 100e / each block of each time of day ] of lightings and 101e are the register groups for storing the result (the number of marks-total LGTs in each time of day) of number count means of marks-total LGTs 100e.

[0313] When every block and the number of lightings for every time amount counted, CPU computed the current value IF by the approximation calculation, and considered it as the configuration which stores a result in a temporary register 104.

[0314] The approximate expression used for an approximation calculation was acquired by  $f(s_n)$  by setting the number of marks-total LGTs to  $s_n$  from the property in drawing 8.

[0315] As mentioned above, the approximation of function of the plot of the graph of the number opposite current characteristic of marks-total LGTs when all blocks shown by drawing 7 light up equally is carried out, and it is good also as  $f(s_n)$ .

[0316] Moreover, as mentioned above, when there is much modulation wiring, it is good also considering the number of marks-total LGTs which lessened the effective digit count as an input of a function.

[0317] In this example, the sum-of-products calculation function for calculating a formula 1 - a formula 3 smoothly to CPU was prepared.

[0318] While the approximation calculation was completed, CPU read each time amount and IF of each block, it calculated the voltage drop by having followed with reference to table memory (103) (formula 2), changed it into the amount of emission currents from the temporary register 104 with reference to the table memory 2 (112), and computed discrete amendment data according to formulas 4-14.

[0319] The calculated discrete amendment data were stored in the register group 106.

[0320] The number of modulation wiring in which N2 and block 3 contain the number of modulation wiring in which N1 and block 2 contain the number of modulation wiring in which N0 and block 1 contain the number of modulation wiring which block 0 contains as other approaches is set to N3. X0 (X0 is the integer of 0 to N0) and the number of lightings of block 1 X1 (X1 is the integer of 0 to N1), [ the number of lightings of block 0 ] The number of lightings of block 2 determines the function which X2 (X2 is the integer of 0 to N2) and the number of lightings of block 3 approximated beforehand in quest of [ all ] the data of IF0, IF1, IF2, and IF3 at the time of X3 (X3 is the integer of 0 to N3).

[0321] This function is set to f0 (X0, X1, X2, X3), f1 (X0, X1, X2, X3), f2 (X0, X1, X2, X3), and f3 (X0, X1, X2, X3).

[0322] And the current values IF0, IF1, IF2, and IF3 of each block are calculated from the number of lightings of each block (X0, X1, X2, X3). By this approach, number count means of marks-total LGTs 100e and register county 101e do not have the need.

[0323] In this case, although there is a merit whose error decreases compared with the approximation property acquired from the former number of marks-total LGTs, the formula of a function becomes complicated (a condition reason etc. increasing).

[0324] As mentioned above, in order to simplify the formula (a condition reason etc. increasing) of a function, this invention can be carried out, even if it lessens the effective digit count (number of bits) of the number of lightings for every block and calculates with an approximation function.

[0325]

[Effect of the Invention] As explained above, this invention has improved degradation of the display image by the voltage drop on scan wiring which was a technical problem from the former.

[0326] Moreover, by having introduced some approximation, the amount of amendments of image data for amending a voltage drop could be calculated easily, and there was effectiveness which was very excellent -- it is realizable by very easy hardware.

---

[Translation done.]

(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-157040

(P2003-157040A)

(43) 公開日 平成15年5月30日 (2003.5.30)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード(参考)
G 0 9 G 3/22		G 0 9 G 3/22	H 5 C 0 8 0
3/20	6 1 1	3/20	6 1 1 J
	6 1 2		6 1 2 U
	6 2 3		6 2 3 R
	6 3 1		6 3 1 U

審査請求 未請求 請求項の数28 O L (全 37 頁) 最終頁に続く

(21) 出願番号 特願2001-353852(P2001-353852)

(22) 出願日 平成13年11月19日 (2001. 11. 19)

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 齋藤 裕

東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

(72) 発明者 阿部 直人

東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

(74) 代理人 100085006

弁理士 世良 和信 (外2名)

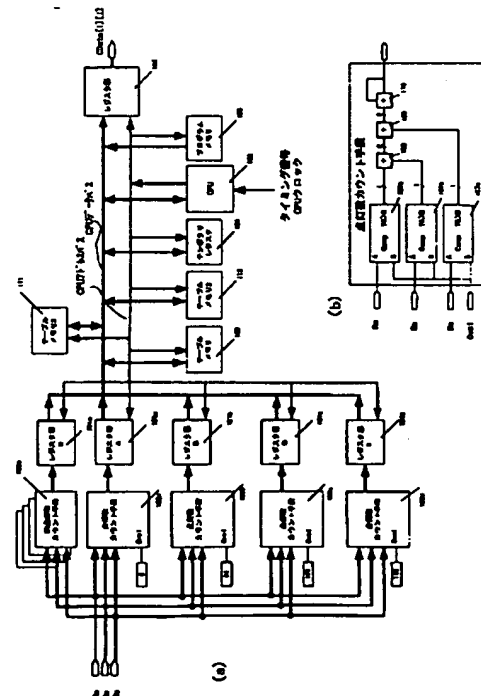
最終頁に続く

(54) 【発明の名称】 画像表示装置及び画像表示方法

(57) 【要約】

【課題】 電圧降下起因する輝度低下のための補正を特に好適に行う画像表示装置及び画像表示方法を提供する。

【解決手段】 一つの走査配線上に接続される複数の前記変調配線を複数のブロックに分け、予め実測や収束計算により全ブロックが均等に点灯したときの総点灯数対電流値特性を得ておき、その結果を総点灯数をアドレスとしたメモリに格納することで、電圧降下に対応した好適な電流値を得る。



【特許請求の範囲】

【請求項1】画像表示装置であって、

複数の走査配線と、該走査配線と非平行な複数の変調配線と、前記複数の走査配線及び前記複数の変調配線の各交点に対応して設けられ対応する前記走査配線及び対応する前記変調配線とそれぞれ接続される複数の表示素子と、前記走査配線に順次選択信号を与え、かつ、前記変調配線のそれぞれに入力される画像信号に応じた変調信号を与える駆動回路とを有しており、前記駆動回路が、前記変調配線に流れる電流を算出して該算出値に基づいて補正データを発生する補正データ回路と、該補正データと入力される画像信号とに基づいて前記変調信号を発生する変調回路とを有しており、前記補正データ回路は、前記変調配線に流れる電流を一つの走査配線に接続される複数の前記表示素子の点灯状態に応じて近似計算により算出することを特徴とする画像表示装置。

【請求項2】前記近似計算は、前記複数の変調配線をそれぞれが複数の前記変調配線を含む複数のブロックに分け、各ブロックに属する変調配線に接続される複数の前記表示素子を集合し、各ブロックの点灯状態に応じてブロックごとに行うことを特徴とする請求項1に記載の画像表示装置。

【請求項3】前記近似計算は、各ブロックの点灯数を入力とし、ブロックごとに電流値を出力する近似関数を用い計算することを特徴とする請求項2に記載の画像表示装置。

【請求項4】前記近似計算は、各ブロックの点灯数の有効桁数をあらかじめ制限し、制限された有効桁数の各ブロックの点灯数から、ブロックごとに電流値を計算することを特徴とする請求項3に記載の画像表示装置。

【請求項5】前記近似計算は、前記複数の変調配線をそれぞれが複数の前記変調配線を含む複数のブロックに分け、各ブロックに属する変調配線に接続される複数の前記表示素子を集合し、一つの走査配線に接続される総点灯数に基づきブロックごとに行うことを特徴とする請求項1に記載の画像表示装置。

【請求項6】前記近似計算は、総点灯数を入力とし、ブロックごとに電流値を出力する近似関数を用い計算することを特徴とする請求項5に記載の画像表示装置。

【請求項7】前記近似計算は、総点灯数を入力とし、ブロックごとに全ての前記ブロックが均等に点灯したときの総点灯数に基づき電流値を出力する近似関数を用い計算することを特徴とする請求項6に記載の画像表示装置。

【請求項8】前記近似計算は、総点灯数の有効桁数をあらかじめ制限し、制限された総点灯数から、ブロックごとに電流値を計算することを特徴とする請求項5、6または7に記載の画像表示装置。

【請求項9】画像表示装置であって、

複数の走査配線と、該走査配線と非平行な複数の変調配線と、前記複数の走査配線及び前記複数の変調配線の各交点に対応して設けられ対応する前記走査配線及び対応する前記変調配線とそれぞれ接続される複数の表示素子と、前記走査配線に順次選択信号を与え、かつ、前記変調配線のそれぞれに入力される画像信号に応じた変調信号を与える駆動回路とを有しており、前記駆動回路が、前記変調配線に流れる電流値を示す値を出力するメモリと、該メモリからの出力と前記画像信号とに基づいて補正データを発生する補正データ回路と、該補正データと入力される画像信号とに基づいて前記変調信号を発生する変調回路とを有しており、前記メモリの値は、一つの走査配線に接続される複数の前記表示素子の点灯状態に応じた電流値の特性に基づくことを特徴とする画像表示装置。

【請求項10】前記電流値の特性は、前記複数の変調配線をそれぞれが複数の前記変調配線を含むブロックに分け、各ブロックに属する変調配線に接続される複数の前記表示素子を集合し、各ブロックの点灯状態に応じたものであることを特徴とする請求項9に記載の画像表示装置。

【請求項11】前記メモリは、各ブロックの点灯数を入力とし、ブロックごとに電流値を出力することを特徴とする請求項10に記載の画像表示装置。

【請求項12】前記メモリは、各ブロックの点灯数の有効ビット数をあらかじめ制限し、制限された有効ビット数の各ブロックの点灯数を入力し、ブロックごとに電流値を出力することを特徴とする請求項11に記載の画像表示装置。

【請求項13】前記電流値の特性は、前記複数の変調配線をそれぞれが複数の前記変調配線を含む複数のブロックに分け、各ブロックに属する変調配線に接続される複数の前記表示素子を集合し、一つの走査配線に接続される総点灯数に応じたものであることを特徴とする請求項9に記載の画像表示装置。

【請求項14】前記メモリは、総点灯数を入力とし、ブロックごとに電流値を出力することを特徴とする請求項13に記載の画像表示装置。

【請求項15】前記メモリは、総点灯数を入力とし、ブロックごとに全ての前記ブロックが均等に点灯したときの総点灯数に基づき電流値を出力することを特徴とする請求項14に記載の画像表示装置。

【請求項16】前記メモリは、総点灯数の有効桁数をあらかじめ制限し、制限された総点灯数を入力し、ブロックごとに電流値を出力することを特徴とする請求項14または15に記載の画像表示装置。

【請求項17】前記補正データは、前記走査配線における電圧降下による表示不良を補正するデータであることを特徴とする請求項1乃至16のいずれか1項に記載の画像表示装置。



【請求項 18】前記補正データの値によって前記変調信号のパルス幅が補正されるものであることを特徴とする請求項 1 乃至 17 のいずれか 1 項に記載の画像表示装置。

【請求項 19】前記変調信号は、前記画像信号に応じて変化するパルス幅を有することを特徴とする請求項 1 乃至 17 のいずれか 1 項に記載の画像表示装置。

【請求項 20】複数の走査配線と、該走査配線と非平行な複数の変調配線と、前記複数の走査配線及び前記複数の変調配線の各交点に対応して設けられ対応する前記走査配線及び対応する前記変調配線とそれぞれ接続される複数の表示素子とを備え、

前記走査配線に順次選択信号を与え、かつ、前記変調配線のそれぞれに入力される画像信号に応じた変調信号を与えることによって画像を表示する画像表示方法であって、

前記変調配線に流れる電流を算出して該算出値に基づいて補正データを発生するステップと、該補正データと入力される画像信号とに基づいて前記変調信号を発生するステップとを含み、

前記補正データを発生するステップは、前記変調配線に流れる電流を一つの走査配線に接続される複数の前記表示素子の点灯状態に応じて近似計算により算出するステップを含むことを特徴とする画像表示方法。

【請求項 21】前記近似計算により算出するステップは、前記複数の変調配線をそれぞれが複数の前記変調配線を含む複数のブロックに分け、各ブロックに属する変調配線に接続される複数の前記表示素子を集合し、各ブロックの点灯状態に応じてブロックごとに行うステップであることを特徴とする請求項 20 に記載の画像表示方法。

【請求項 22】前記近似計算により算出するステップは、各ブロックの点灯数を入力とし、ブロックごとに電流値を出力する近似関数を用い計算するステップであることを特徴とする請求項 21 に記載の画像表示方法。

【請求項 23】前記近似計算により算出するステップは、各ブロックの点灯数の有効桁数をあらかじめ制限し、制限された有効桁数の各ブロックの点灯数から、ブロックごとに電流値を計算するステップであることを特徴とする請求項 22 に記載の画像表示方法。

【請求項 24】前記近似計算により算出するステップは、前記複数の変調配線をそれぞれが複数の前記変調配線を含む複数のブロックに分け、各ブロックに属する変調配線に接続される複数の前記表示素子を集合し、一つの走査配線に接続される総点灯数に基づきブロックごとに行うステップであることを特徴とする請求項 20 に記載の画像表示方法。

【請求項 25】前記近似計算により算出するステップは、総点灯数を入力とし、ブロックごとに電流値を出力する近似関数を用い計算するステップであることを特徴

とする請求項 24 に記載の画像表示方法。

【請求項 26】前記近似計算により算出するステップは、総点灯数を入力とし、ブロックごとに全ての前記ブロックが均等に点灯したときの総点灯数に基づき電流値を出力する近似関数を用い計算するステップであることを特徴とする請求項 25 に記載の画像表示方法。

【請求項 27】前記近似計算により算出するステップは、総点灯数の有効桁数をあらかじめ制限し、制限された総点灯数から、ブロックごとに電流値を計算することを特徴とする請求項 24、25 または 26 に記載の画像表示方法。

【請求項 28】複数の走査配線と、該走査配線と非平行な複数の変調配線と、前記複数の走査配線及び前記複数の変調配線の各交点に対応して設けられ対応する前記走査配線及び対応する前記変調配線とそれぞれ接続される複数の表示素子とを備え、

前記走査配線に順次選択信号を与え、かつ、前記変調配線のそれぞれに入力される画像信号に応じた変調信号を与えることによって画像を表示する画像表示方法であって、

前記変調配線に流れる電流値を示す値を出力するステップと、該電流値を示す値の出力と前記画像信号とに基づいて補正データを発生するステップと、該補正データと入力される画像信号とに基づいて前記変調信号を発生するステップと、を含み、

前記電流値を示す値は、一つの走査配線に接続される複数の前記表示素子の点灯状態に応じた電流特性に基づいて算出されることを特徴とする画像表示方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、複数の表示素子を用いて画像表示を行う、例えばテレビジョン信号やコンピュータなどの表示信号を受信し画像を表示するテレビジョン受信機やディスプレイ装置などの画像表示装置及び画像表示方法に関する。

【0002】

【従来の技術】画像表示装置において補正を行う技術が、例えばUSP5659328、USP5734361に開示されている。

【0003】

【発明が解決しようとする課題】しかしながら、上記のような従来技術の場合には、複数の表示素子を共通の配線を用いて接続する画像表示装置において、好適な補正を実現するという課題が存在する。マトリクス状に表示素子を配置して順次走査によって画像を表示する場合を具体的な例として検討すると、例えば走査配線において発生する電圧降下の影響で表示輝度にむらが生じる場合がある。

【0004】本発明は上記の従来技術の課題を解決するためになされたもので、その目的とするところは、電圧

降下に起因する輝度低下のための補正を特に好適に行う画像表示装置及び画像表示方法を提供することにある。

【0005】

【課題を解決するための手段】本願に係る画像表示装置の発明の一つは以下のように構成される。

【0006】画像表示装置であって、複数の走査配線と、該走査配線と非平行な複数の変調配線と、前記複数の走査配線及び前記複数の変調配線の各交点に対応して設けられ対応する前記走査配線及び対応する前記変調配線とそれぞれ接続される複数の表示素子と、前記走査配線に順次選択信号を与え、かつ、前記変調配線のそれぞれに入力される画像信号に応じた変調信号を与える駆動回路とを有しており、前記駆動回路が、前記変調配線に流れる電流を算出して該算出値に基づいて補正データを発生する補正データ回路と、該補正データと入力される画像信号とに基づいて前記変調信号を発生する変調回路とを有しており、前記補正データ回路は、前記変調配線に流れる電流を一つの走査配線に接続される複数の前記表示素子の点灯状態に応じて近似計算により算出することを特徴とする。

【0007】前記近似計算は、前記複数の変調配線をそれぞれが複数の前記変調配線を含む複数のブロックに分け、各ブロックに属する変調配線に接続される複数の前記表示素子を集合し、各ブロックの点灯状態に応じてブロックごとに行うことが好適である。

【0008】前記近似計算は、各ブロックの点灯数を入力とし、ブロックごとに電流値を出力する近似関数を用い計算することが好適である。

【0009】前記近似計算は、各ブロックの点灯数の有効桁数をあらかじめ制限し、制限された有効桁数の各ブロックの点灯数から、ブロックごとに電流値を計算することが好適である。

【0010】前記近似計算は、前記複数の変調配線をそれぞれが複数の前記変調配線を含む複数のブロックに分け、各ブロックに属する変調配線に接続される複数の前記表示素子を集合し、一つの走査配線に接続される総点灯数に基づきブロックごとに行うことが好適である。

【0011】前記近似計算は、総点灯数を入力とし、ブロックごとに電流値を出力する近似関数を用い計算することが好適である。

【0012】前記近似計算は、総点灯数を入力とし、ブロックごとに全ての前記ブロックが均等に点灯したときの総点灯数に基づき電流値を出力する近似関数を用い計算することが好適である。

【0013】前記近似計算は、総点灯数の有効桁数をあらかじめ制限し、制限された総点灯数から、ブロックごとに電流値を計算することが好適である。

【0014】また、本願に係る画像表示装置の他の発明の一つは以下のように構成される。

【0015】画像表示装置であって、複数の走査配線

と、該走査配線と非平行な複数の変調配線と、前記複数の走査配線及び前記複数の変調配線の各交点に対応して設けられ対応する前記走査配線及び対応する前記変調配線とそれぞれ接続される複数の表示素子と、前記走査配線に順次選択信号を与え、かつ、前記変調配線のそれぞれに入力される画像信号に応じた変調信号を与える駆動回路とを有しており、前記駆動回路が、前記変調配線に流れる電流値を示す値を出力するメモリと、該メモリからの出力と前記画像信号とに基づいて補正データを発生する補正データ回路と、該補正データと入力される画像信号とに基づいて前記変調信号を発生する変調回路とを有しており、前記メモリの値は、一つの走査配線に接続される複数の前記表示素子の点灯状態に応じた電流値の特性に基づくことを特徴とする。

【0016】ここで、変調配線に流れる電流値を示す値を出力するメモリは、変調配線に流れる電流値を記憶したものに限らず、変調配線に流れる電流値を間接的に示す値や変調配線に流れる電流値から求まる値、例えば、電圧降下量や放出電流量を記憶し、またそれらを出力するものであってもよい。

【0017】前記電流値の特性は、前記複数の変調配線をそれぞれが複数の前記変調配線を含むブロックに分け、各ブロックに属する変調配線に接続される複数の前記表示素子を集合し、各ブロックの点灯状態に応じたものであることが好適である。

【0018】前記メモリは、各ブロックの点灯数を入力とし、ブロックごとに電流値を出力することが好適である。

【0019】前記メモリは、各ブロックの点灯数の有効ビット数をあらかじめ制限し、制限された有効ビット数の各ブロックの点灯数を入力し、ブロックごとに電流値を出力することが好適である。

【0020】前記電流値の特性は、前記複数の変調配線をそれぞれが複数の前記変調配線を含む複数のブロックに分け、各ブロックに属する変調配線に接続される複数の前記表示素子を集合し、一つの走査配線に接続される総点灯数に応じたものであることが好適である。

【0021】前記メモリは、総点灯数を入力とし、ブロックごとに電流値を出力することが好適である。

【0022】前記メモリは、総点灯数を入力とし、ブロックごとに全ての前記ブロックが均等に点灯したときの総点灯数に基づき電流値を出力することが好適である。

【0023】前記メモリは、総点灯数の有効桁数をあらかじめ制限し、制限された総点灯数を入力し、ブロックごとに電流値を出力することが好適である。

【0024】前記補正データは、前記走査配線における電圧降下による表示不良を補正するデータであることが好適である。

【0025】前記補正データの値によって前記変調信号のパルス幅が補正されるものであることが好適である。

【0026】前記変調信号は、前記画像信号に応じて変化するパルス幅を有することが好適である。

【0027】本願に係る画像表示方法の発明の一つは以下のように構成される。

【0028】複数の走査配線と、該走査配線と非平行な複数の変調配線と、前記複数の走査配線及び前記複数の変調配線の各交点に対応して設けられ対応する前記走査配線及び対応する前記変調配線とそれぞれ接続される複数の表示素子とを備え、前記走査配線に順次選択信号を与え、かつ、前記変調配線のそれぞれに入力される画像信号に応じた変調信号を与えることによって画像を表示する画像表示方法であって、前記変調配線に流れる電流を算出して該算出値に基づいて補正データを発生するステップと、該補正データと入力される画像信号とに基づいて前記変調信号を発生するステップとを含み、前記補正データを発生するステップは、前記変調配線に流れる電流を一つの走査配線に接続される複数の前記表示素子の点灯状態に応じて近似計算により算出するステップを含むことを特徴とする。

【0029】前記近似計算により算出するステップは、前記複数の変調配線をそれぞれが複数の前記変調配線を含む複数のブロックに分け、各ブロックに属する変調配線に接続される複数の前記表示素子を集合し、各ブロックの点灯状態に応じてブロックごとに行うステップであることが好適である。

【0030】前記近似計算により算出するステップは、各ブロックの点灯数を入力とし、ブロックごとに電流値を出力する近似関数を用い計算するステップであることが好適である。

【0031】前記近似計算により算出するステップは、各ブロックの点灯数の有効桁数をあらかじめ制限し、制限された有効桁数の各ブロックの点灯数から、ブロックごとに電流値を計算するステップであることが好適である。前記近似計算により算出するステップは、前記複数の変調配線をそれぞれが複数の前記変調配線を含む複数のブロックに分け、各ブロックに属する変調配線に接続される複数の前記表示素子を集合し、一つの走査配線に接続される総点灯数に基づきブロックごとに行うステップであることが好適である。

【0032】前記近似計算により算出するステップは、総点灯数を入力とし、ブロックごとに電流値を出力する近似関数を用い計算するステップであることが好適である。前記近似計算により算出するステップは、総点灯数を入力とし、ブロックごとに全ての前記ブロックが均等に点灯したときの総点灯数に基づき電流値を出力する近似関数を用い計算するステップであることが好適である。

【0033】前記近似計算により算出するステップは、総点灯数の有効桁数をあらかじめ制限し、制限された総点灯数から、ブロックごとに電流値を計算することが好

適である。

【0034】また、本願に係る画像表示方法の他の発明の一つは以下のように構成される。

【0035】複数の走査配線と、該走査配線と非平行な複数の変調配線と、前記複数の走査配線及び前記複数の変調配線の各交点に対応して設けられ対応する前記走査配線及び対応する前記変調配線とそれぞれ接続される複数の表示素子とを備え、前記走査配線に順次選択信号を与え、かつ、前記変調配線のそれぞれに入力される画像信号に応じた変調信号を与えることによって画像を表示する画像表示方法であって、前記変調配線に流れる電流値を示す値を出力するステップと、該電流値を示す値の出力と前記画像信号とに基づいて補正データを発生するステップと、該補正データと入力される画像信号とに基づいて前記変調信号を発生するステップと、を含み、前記電流値を示す値は、一つの走査配線に接続される複数の前記表示素子の点灯状態に応じた電流特性に基づいて算出されることを特徴とする。

【0036】これにより、走査配線上の電圧降下による表示画像の劣化を改善することができる。

【0037】

【発明の実施の形態】以下に図面を参照して、この発明の好適な実施の形態を例示的に詳しく説明する。ただし、この実施の形態に記載されている構成部品の寸法、材質、形状、その相対配置などは、特に特定の記載がない限りは、この発明の範囲をそれらだけに限定する趣旨のものではない。

【0038】本願発明が適用できる構成において採用できる表示素子としては冷陰極素子やEL素子などが挙げられる。以下では表示素子として冷陰極素子、特に表面伝導型放出素子を用いた構成を例にあげて説明する。

【0039】（第1の実施形態）以下では本願の発明を適用した実施の形態を示すとともに、具体的な実施例を同時に説明する。

【0040】冷陰極素子を単純マトリクスに配置した表示装置においては、走査配線に流れ込む電流と、走査配線の配線抵抗により電圧降下が発生し、表示画像が劣化するという現象に鑑み、このような走査配線における電圧降下が表示画像に与える影響を補正する処理回路を備えた画像表示装置に関し、特に、それを比較的小さな回路規模で実現するものである。

【0041】本発明の補正回路は、入力画像データに応じて電圧降下のために生じる表示画像の劣化を計算し、それを補正する補正データを求め、画像データに補正を施すものである。

【0042】このような補正回路を内蔵した画像表示装置として、発明者らは以下に示すような方式の画像表示装置について鋭意検討を行ってきた。

【0043】以下、本発明について説明するに際して、本発明の実施形態に係る画像表示装置の表示パネルの概

観、表示パネルの電氣的接続、表面伝導型放出素子の特性、表示パネルの駆動方法、及び、このような表示パネルによって画像を表示する際の走査配線の電気抵抗に起因する駆動電圧の低下の機構について順に説明する。そして、その後には本発明の特徴である電圧降下の影響に対する補正時の収束演算方法について説明する。

【0044】（画像表示装置の概観）図1は、本実施形態に係る画像表示装置に用いた表示パネルの斜視図であり、内部構造を示すためにパネルの一部を切り欠いて示している。図1において、1005はリアプレート、1006は側壁、1007はフェースプレートであり、1005～1007により表示パネルの内部を真空中に維持するための気密容器を形成している。

【0045】リアプレート1005には、基板1001が固定されているが、該基板には冷陰極素子1002が $N \times M$ 個形成されている。行配線（走査配線）1003、列配線（変調配線）1004及び冷陰極素子1002は図2のように接続されている。

【0046】このような結線構造を単純マトリクスと呼んでいる。

【0047】またフェースプレート1007の下面には、蛍光膜1008が形成されている。本実施形態に係る画像表示装置はカラー表示装置であるため、蛍光膜1008の部分にはCRTの分野で用いられる赤、緑、青、の3原色の蛍光体が塗り分けられている。蛍光体は、リアプレート1005の各画素（絵素）に対応してマトリクス状に形成された、冷陰極素子からの放出電子（放出電流）の照射される位置に対して、画素を形成するように構成されている。

【0048】蛍光膜1008の下面にはメタルバック1009が形成されている。

【0049】 $H_v$ は高圧端子でありメタルバック1009に電氣的に接続されている。 $H_v$ 端子に高電圧を印加することによりリアプレート1005とフェースプレート1007の間に高電圧が印加される。

【0050】本実施形態では以上のような表示パネルの中に冷陰極素子として表面伝導型放出素子を作製した。

【0051】（表面伝導型放出素子の特性）表面伝導型放出素子は、図3のような（放出電流 $I_e$ ）対（素子印加電圧 $V_f$ ）特性、および（素子電流 $I_f$ ）対（素子印加電圧 $V_f$ ）特性を有する。なお、放出電流 $I_e$ は素子電流 $I_f$ に比べて著しく小さく、同一尺度で図示するのが困難であるため、2本のグラフは各々異なる尺度で図示した。

【0052】第一に、ある電圧（これを閾値電圧 $V_{th}$ と呼ぶ）以上の電圧を素子に印加すると急激に放出電流 $I_e$ が増加するが、一方、閾値電圧 $V_{th}$ 未満の電圧では放出電流 $I_e$ はほとんど検出されない。

【0053】すなわち、放出電流 $I_e$ に関して、明確な閾値電圧 $V_{th}$ を持った非線形素子である。

【0054】また第二に、放出電流 $I_e$ は素子に印加する電圧 $V_f$ に依存して変化するため、電圧 $V_f$ を可変することにより、放出電流 $I_e$ の大きさを制御できる。

【0055】また第三に、冷陰極素子は高速な応答性を有しているため、電圧 $V_f$ の印加時間により放出電流 $I_e$ の放出時間を制御できる。

【0056】以上のような特性を有するため、表面伝導型放出素子を表示装置に好適に用いることを発明者らは見出している。

【0057】例えば、図1に示した表示パネルを用いた画像表示装置において、第一の特性を利用すれば、表示画面を順次走査して表示を行うことが可能である。すなわち、駆動中の素子には所望の発光輝度に応じて閾値電圧 $V_{th}$ 以上の電圧を適宜印加し、非選択状態の素子には閾値電圧 $V_{th}$ 未満の電圧を印加する。駆動する素子を順次切り替えることにより、表示画面を順次走査して表示を行うことが可能である。

【0058】また、第二の特性を利用することにより、素子に印加する電圧 $V_f$ により、蛍光体の発光輝度を制御することができ、画像表示を行うことが可能である。

【0059】また、第三の特性を利用することにより、素子に電圧 $V_f$ を印加する時間により、蛍光体の発光時間を制御することができ、画像の表示を行うことができる。

【0060】本発明の画像表示装置では表示パネルの電子ビームの量を上記第三の特性を用いて変調を行った。

【0061】（表示パネルの駆動方法）図4を用いて本発明の表示パネルの駆動方法を具体的に説明する。

【0062】図4は本発明の表示パネルを駆動した際に走査配線及び変調配線の電圧供給端子に印加した電位の一例である。

【0063】いま、水平走査期間 $I$ は $i$ 行目のピクセルを発光させる期間とする。 $i$ 行目のピクセルを発光させるためには、 $i$ 行目の走査配線を選択状態とし、その電圧供給端子 $D_{xi}$ に選択電位 $V_s$ を印加する。また、それ以外の走査配線の電圧供給端子 $D_{xk}$ （ $k=1, 2, \dots, N$ , 但し $k \neq i$ ）は非選択状態とし、非選択電位 $V_{ns}$ を印加する。

【0064】本例では、基準電位をグランド電位（GND）とし、選択電位を基準電位よりも低い電位とし、且つ選択電位 $V_s$ と基準電位との電位差を図3に記載の電圧 $V_{SEL}$ の半分とした。よって、 $V_s$ は $-0.5V_{SEL}$ である。また非選択電位 $V_{ns}$ はGNDとした。

【0065】また変調配線の電位供給端子には、電圧振幅 $|V_{pwm}|$ のパルス幅変調信号を供給した。ここで変調配線に印加する電圧振幅とはオフ時の変調配線電位と変調電位 $V_{pwm}$ との電位差である。ここではオフ時の変調配線電位は前記基準電位と等しくしているため電圧振幅は $|V_{pwm}|$ である。 $j$ 番目の変調配線に供給するパルス幅変調信号のパルス幅は、表示する画像の第

i 行 j 列のピクセルの画像データの大きさに応じて決定し、すべての変調配線に各々のピクセルの画像データの大きさに応じたパルス幅変調信号を供給した。

【0066】本実施形態では、電位  $V_{pwm}$  の値は  $+0.5V_{SEL}$  に設定した。

【0067】表面伝導型放出素子は、図3に示したように素子の両端に電圧  $V_{SEL}$  が印加されると電子を放出させるが、印加電圧が  $V_{th}$  よりも小さい電圧ではまったく電子を放出しない。

【0068】なお  $V_{SEL}$  は電圧  $V_{th}$  が図3に示すように、 $0.5V_{SEL}$  よりも大きくなる値を持つ。

【0069】このため、非選択電位  $V_{ns}$  が印加されている走査配線に接続された表面伝導型放出素子からは電子は放出されない。

【0070】また同じように、パルス幅変調手段の出力がグラウンド電位である期間（以降、出力が“L”の期間と呼ぶ）は、選択された走査配線上の表面伝導型放出素子の両端に印加される電圧は  $|V_s|$  であるため、電子は放出されない。

【0071】選択電位  $V_s$  が印加された走査配線上の表面伝導型放出素子からは、パルス幅変調手段の出力が  $V_{pwm}$  である期間（以降、出力が“H”の期間と呼ぶ）に応じて電子が放出される。電子が放出されれば放出された電子ビームの量に応じて前述の蛍光体が発光するため、放出された時間に応じた輝度を発光させることができる。

【0072】本実施形態の画像表示装置は、このような線順次、パルス幅変調方式によって画像を表示している。

【0073】（走査配線での電圧降下について）ここでの課題は、表示パネルの走査配線における電圧降下によって、走査配線上の電位が上昇する（変調手段がHである時の変調手段の出力電位に近づく）ことにより、表面伝導型放出素子に印加される電圧が減少するため、表面伝導型放出素子からの放出電流が低減してしまうことにある。

【0074】表面伝導型放出素子の設計仕様や製法によっても異なるが、表面伝導型放出素子の1素子分の素子電流は電圧  $V_{SEL}$  を印加した場合に数  $100\mu A$  程度である。

【0075】このため、ある水平走査期間において選択された走査線上の1ピクセルのみを発光させ、それ以外のピクセルは発光させない場合には、変調配線から選択行の走査配線に流入する素子電流は1ピクセル分の電流（すなわち上述の数  $100\mu A$ ）だけであるため、電圧降下はほとんど生じることはなく、発光輝度が低下することはない。

【0076】しかし、ある水平走査期間において、選択された行の全ピクセルを発光させる場合には、全変調配線から選択状態としている走査配線に対し、全ピクセル

分の電流が流入するため、電流の総和は数  $100mA$  へ数Aとなり、走査配線の配線抵抗によって走査配線上に電圧降下が発生していた。

【0077】走査配線上に電圧降下が発生すれば、表面伝導型放出素子の両端に印加される電圧が低下する。このため表面伝導型放出素子から発光される放出電流が低下してしまい、結果として発光輝度が低下していた。

【0078】具体的に、表示画像として、図5(a)に示したような黒の背景に白い十字状のパターンを表示した場合を考えてみる。

【0079】すると同図の行Lを駆動する際には、点灯しているピクセルの数が少ないため、その行の走査配線にはほとんど電圧降下が生じない。その結果各ピクセルの表面伝導型放出素子からは所望の量の放出電流が放出され、所望の輝度で発光させることができる。

【0080】一方、同図の行L'を駆動する際には、同時にすべてのピクセルが点灯するため、走査配線上に電圧降下が発生し、各ピクセルの表面伝導型放出素子からの放出電流が減少する。その結果、行L'のラインでは輝度が低下することとなる。

【0081】このように、1水平ラインごとの画像データの違いにより、電圧降下によって受ける影響が変化するため、図5(a)のような十字パターンを表示する際には同図(b)のような画像が表示されてしまっていた。

【0082】なお、この現象は十字パターンに限るものではなく、たとえばウインドウパターンや、自然画像を表示した際にも発生するものである。

【0083】また、さらに複雑なことに、電圧降下の大きさはパルス幅変調によって変調を行うことにより1水平走査期間の中でも変化する性質を持っている。

【0084】パルス幅変調信号が、図4に示したように立ち上がりが同期したパルス幅変調信号である場合には、入力画像データにもよるが一般的には、1水平走査期間の初めほど点灯しているピクセルの数が多く、その後輝度の低い箇所から順に消灯していくため、点灯するピクセルの数は1水平走査期間の中では、時間を追って減少する。

【0085】したがって走査配線上に発生する電圧降下の大きさも、1水平走査期間の初めほど大きく次第に減少していく傾向がある。

【0086】パルス幅変調信号は変調の1階調に相当する時間ごとに出力が変化するため、電圧降下の時間的な変化もパルス幅変調信号の1階調に相当する時間毎に変化する。

【0087】以上、走査配線における電圧降下について説明した。

【0088】（電圧降下の計算方法）発明者らは、電圧降下の影響を低減するための補正量を求めるには、まずその第一段階として、電圧降下の大きさとその時間変化

をリアルタイムに予測するハードウェアを開発することが必要と考えた。

【0089】しかし、本発明のような画像表示装置の表示パネルとしては、数千本もの変調配線を備えることが一般的であり、変調配線のすべてと走査配線との交点の電圧降下を計算することは非常に困難であるため、本実施形態ではそれを行っていない。

【0090】ここで、発明者らが電圧降下の検討を行った結果、以下のような特徴があることを見出した。

【0091】i) 一水平走査期間のある時点においては、走査配線上に発生する電圧降下は走査配線上で空間的に連続的な量であり非常に滑らかなカーブである。

【0092】ii) 電圧降下の大きさは表示画像によっても異なるが、パルス幅変調の1階調に相当するパルス幅毎に変化するが、概略的には、パルスの立ち上がり部分ほど大きく、時間的には次第に小さくなるか、もしくはその大きさを維持するかのどちらかである。すなわち、図4のような駆動方法では1水平走査期間の中で電圧降下の大きさが増加することはない。

【0093】そこで発明者らは、上述したような特徴を鑑みて、以下のような近似モデルにより簡略化して計算を行うことによって、計算量を低減できないか検討を行った。

【0094】まず、i) の特徴から、ある時点の電圧降下の大きさを計算するのに際して、数千本もの変調配線を数本〜数十本の変調配線に集中化した縮退モデルによって近似的に簡略化して計算することができないか検討を行った（これについては以下の縮退モデルによる電圧降下の計算で詳細に説明する。）。

【0095】また、ii) に挙げた特徴から、1水平走査期間のなかに複数の時刻を設け、各時刻に対し電圧降下を計算することで電圧降下の時間変化を概略的に予測することとした。

【0096】具体的には以下で説明する縮退モデルによる電圧降下の計算を複数の時刻に対して計算することによって、電圧降下の時間変化を概略的に予測した。

【0097】（縮退モデルによる電圧降下の計算）図6（a）は、本発明の縮退を行う際のブロック及びノードを説明するための図である。

【0098】同図では図を簡略化するため、選択された走査配線と各変調配線およびその交差部に接続される表面伝導型放出素子のみを記載した。

【0099】いま、一水平走査期間の中のある時刻であって、選択された走査配線上の各ピクセルの点灯状態（すなわち変調手段の出力が“H”であるか、“L”であるか）がわかっているものとする。

【0100】この点灯状態において、各変調配線から選択された走査配線へ流れ込む素子電流を  $I_{fi}$  ( $i = 1, 2, \dots, N$ ,  $i$  は列番号) と定義する。

【0101】また、同図に示すように、 $n$  本の変調配線

と選択された走査配線のそれと交差する部分及び、その交点に配置される表面伝導型放出素子を1つのグループとしてブロックを定義する。本例では、ブロック分けを行うことで4つのブロックに分割された。

【0102】また、各々のブロックの境界位置においてノードという位置を設定した。ノードとは、縮退モデルにおいて電圧降下量を離散的に計算するための位置である。

【0103】本例ではブロックの境界位置に、ノード0〜ノード4の5つのノードを設定した。

【0104】図6（b）は縮退モデルを説明するための図である。

【0105】縮退モデルでは同図（a）の1ブロックに含まれる  $n$  本の変調配線を1本に縮退化し、それが走査配線のブロックの中央に位置するように接続した。

【0106】また、集中化された各々のブロックの変調配線には電流源が接続されており、各電流源から各々のブロック内の電流の総和  $I_{F0} \sim I_{F3}$  が流れ込むものとした。

【0107】すなわち、 $I_{Fj}$  ( $j = 0, 1, \dots, 3$ ) は、

【数1】

$$I_{Fj} = \sum_{i=j \times n+1}^{(j+1) \times n} I_{fi} \quad (\text{式1})$$

として表される電流である。

【0108】また、走査配線の両端の電位が同図（a）の例では  $V_s$  であるのに対し、同図（b）では  $GND$  電位としているのは、電圧降下とは2点間の電位差のことであり、縮退モデルでは、変調配線から選択した走査配線に流れ込む電流を上記電流源によりモデリングしたことにより、走査配線上の各部の電圧降下量は、その給電部を基準電位として各部の電位を算出することにより計算できるためである。

【0109】また、表面伝導型放出素子を省略しているのは、選択された走査配線から見た場合に、列配線から同等の電流が流れ込めば、表面伝導型放出素子の有無によらず、発生する電圧降下自体はかわらないためである。したがって、ここでは、各ブロックの電流源から流れ込む電流値を各ブロック内の素子電流の総和の電流値（式1）に設定することで表面伝導型放出素子を省略した。

【0110】また、各ブロックの走査配線の配線抵抗は一区間の走査配線の配線抵抗  $r$  の  $n$  倍とした（ここで一区間とは走査配線のある列配線との交差部とその隣の列配線との交差部の間のことを指している。また本例では、一区間の走査配線の配線抵抗は均一であるものとした。）。

【0111】このような縮退モデルにおいて、走査配線

上の各ノードにおいて発生する電圧降下量DV0～DV4は以下のような積和形式の式により、簡単に計算することができる。

【0112】

【数2】

$$\begin{aligned} DV0 &= a00 \times IF0 + a01 \times IF1 + a02 \times IF2 + a03 \times IF3 \\ DV1 &= a10 \times IF0 + a11 \times IF1 + a12 \times IF2 + a13 \times IF3 \\ DV2 &= a20 \times IF0 + a21 \times IF1 + a22 \times IF2 + a23 \times IF3 \\ DV3 &= a30 \times IF0 + a31 \times IF1 + a32 \times IF2 + a33 \times IF3 \\ DV4 &= a40 \times IF0 + a41 \times IF1 + a42 \times IF2 + a43 \times IF3 \end{aligned}$$

すなわち、

【数3】

$$DVi = \sum_{j=0}^3 a_{ij} \times IFj \quad (\text{式2})$$

(i = 0, 1, 2, 3, 4)

である。

【0113】ただし、 $a_{ij}$ は縮退モデルにおいてj番目のブロックだけに単位電流を注入したときに、i番目のノードに発生する電位から給電部電位（ここではGND）を引いた電位差である（以下、これを $a_{ij}$ の定義とする。）。

【0114】上記の $a_{ij}$ はキルヒホフの法則により以下のように簡単に導出できる。

【0115】すなわち、図6（b）において、ブロックiの電流源からみた走査配線の左側の供給端子までの配線抵抗を $rli$ （ $i=0, 1, 2, 3$ ）、右側の供給端子までの配線抵抗を $rrl$ （ $i=0, 1, 2, 3$ ）、ブロック0と左の供給端子との間の配線抵抗及びブロック4と右の供給端子との間の配線抵抗をいずれも $rt$ と定義すれば、

【数4】

$$\begin{aligned} r10 &= rt + 0.5 \times n \times r \\ rr0 &= rt + 3.5 \times n \times r \\ r11 &= rt + 1.5 \times n \times r \\ rr1 &= rt + 2.5 \times n \times r \\ r12 &= rt + 2.5 \times n \times r \\ rr2 &= rt + 1.5 \times n \times r \\ r13 &= rt + 3.5 \times n \times r \\ rr3 &= rt + 0.5 \times n \times r \end{aligned}$$

さらに、

【数5】

$$\begin{aligned} a &= r10 // rr0 = r10 \times rr0 / (r10 + rr0) \\ b &= r11 // rr1 = r11 \times rr1 / (r11 + rr1) \\ c &= r12 // rr2 = r12 \times rr2 / (r12 + rr2) \\ d &= r13 // rr3 = r13 \times rr3 / (r13 + rr3) \end{aligned}$$

と置く。

【0116】すると、 $a_{ij}$ は、

【数6】

$$\begin{aligned} a00 &= a \times rt / r10 \\ a10 &= a \times (rt + 3 \times n \times r) / rr0 \\ a20 &= a \times (rt + 2 \times n \times r) / rr0 \\ a30 &= a \times (rt + 1 \times n \times r) / rr0 \\ a40 &= a \times rt / rr0 \\ a01 &= b \times rt / r11 \\ a11 &= b \times (rt + n \times r) / r11 \\ a21 &= b \times (rt + 2 \times n \times r) / rr1 \\ a31 &= b \times (rt + n \times r) / rr1 \\ a41 &= b \times rt / rr1 \\ a02 &= c \times rt / r12 \\ a12 &= c \times (rt + n \times r) / r12 \\ a22 &= c \times (rt + 2 \times n \times r) / r12 \\ a32 &= c \times (rt + n \times r) / rr2 \\ a42 &= c \times rt / rr2 \\ a03 &= d \times rt / r13 \\ a13 &= d \times (rt + n \times r) / r13 \\ a23 &= d \times (rt + 2 \times n \times r) / r13 \\ a33 &= d \times (rt + 3 \times n \times r) / r13 \end{aligned}$$

（式3）

のように簡単に導出できる。

【0117】（式2）はブロック数が4でない場合においても、 $a_{ij}$ の定義を顧みれば、キルヒホフの法則によって簡単に算出することができる。また本例のように走査配線の両側に給電端子を備えず片側のみに備える場合においても、 $a_{ij}$ の定義に従って計算することにより簡単に算出できる。

【0118】なお、（式3）によって定義されるパラメータ $a_{ij}$ は計算を行うたびに計算し直す必要はなく、一度計算してテーブルとして記憶しておけばよい。

【0119】以上の計算においては、変調配線に流れる電流としては所定の値を用いた。その条件でも補正データを得ることができるが、実際には電圧降下の影響があるため所定の電流が流れるとは限らない。

【0120】本願発明は、変調配線に流れる電流を求めるために、予め全てのブロックが均等に点灯しているときの総点灯数対電流値特性を、実測やSPICEなどの回路シミュレータや回路方程式を立て収束計算を行い求め、それらの値をブロックごとにテーブル（メモリ）に格納しておくことで、点灯状態に応じた電流値を近似的に得るものである。

【0121】図7は、全てのブロックが均等に点灯したときの総点灯数対電流値特性を回路方程式を立て収束計算により求め、ブロック0に属する表面伝導型放出素子

に流れる電流を示したものである。

【0122】図7は、変調配線120本、 $r = 0.042\Omega$ 、 $r_t = 2\Omega$ として計算し、電圧降下が起きなかったときに流れる電流値で規格化したものである。

【0123】この結果をブロックごとにメモリに格納することで、電圧降下の影響を考慮した電流値を総点灯数を入力情報として近似的に得ることができた。

【0124】本例では変調配線の本数（すなわち総点灯数）が少なく、7ビット幅のアドレス線を持つメモリで実現できた。しかし、変調配線の本数（すなわち総点灯数）が多い場合（例えば1280×3は12ビット幅のアドレス線が必要）、総点灯数の上位8ビットをメモリのアドレス線に接続し、総点灯数の有効桁数を制限して電流値を求めることも可能である。

【0125】一方、図8は、ブロックがさまざまな点灯パターンを示すときの総点灯数対電流値特性を回路方程式を立て収束計算により求め、ブロック0に属する表面伝導型放出素子に流れる電流を示したものである。

【0126】図8に示される結果をブロックごとに全てメモリに格納しても、電圧降下の影響を考慮した電流値を得ることができる。この場合、図7の結果に含まれていた誤差（多いところで2%程度）を回避することができるが、入力情報として点灯パターンの組み合わせが必要となるので、メモリのアドレスは $(\text{変調配線数/ブロック数})^{\wedge}\text{ブロック数} \times \text{ブロック数}$ （本例において $(120/4)^{\wedge}4 \times 4 = 3240000$ ）必要である。

【0127】すなわち、メモリのアドレス線は22ビット幅が必要になる。そのためテーブルメモリのアドレス線の本数が（言い換えればメモリ容量が）大きくなりすぎることがある。

【0128】例えば、各ブロックの点灯数の上位ビットとをメモリのアドレス線として入力し、点灯数の有効桁数を制限してブロックごとの電流値をテーブルメモリにより求める構成とし、ハードウェアの削減を行えることを確認している。

【0129】以上のように、電圧降下に対応した好適な電流値を求めることができ、電圧降下に起因する輝度低下のための補正を特に好適に行うことができた。

【0130】図6（c）は、ある点灯状態において、上記の方法により各ノードの電圧降下量DV0～DV4を計算した結果の一例である。

【0131】電圧降下は非常に滑らかなカーブとなるため、ノードとノードの間の電圧降下は近似的には図の点線に示したような値をとると想定される。

【0132】このように、本縮退モデルを用いれば、任意の画像データに対し所望の時点でのノードごとの電圧降下を計算することが可能である。

【0133】以上、ある点灯状態における電圧降下量を、縮退モデルを用いて簡単に計算した。

【0134】選択された走査配線上に発生する電圧降下は、一水平走査期間内で時間的に変化するが、これについては前述したように一水平走査期間中のいくつかの時刻に対して、その時の点灯状態を求め、その点灯状態に対し縮退モデルを用いて電圧降下を計算することにより予測した。

【0135】なお、一水平走査期間のある時点での各ブロック内の点灯数は各ブロックの画像データを参照すれば簡単に求めることができる。

【0136】いま、1つの例としてパルス幅変調回路への入力データのビット数が8ビットであるものとし、パルス幅変調回路は、入力データの大きさに対してリニアなパルス幅を出力するものとする。

【0137】すなわち、入力データが0のときは、出力は“L”となり、入力データが255のとき一水平走査期間の間は“H”を出力し、入力データが128のときには一水平走査期間のうち初めの半分の期間は“H”を出力し、後の半分の期間は“L”を出力するものとする。

【0138】このような場合、パルスの立ち上がった時刻の点灯数は、パルス幅変調回路への入力データが0よりも大きいものの数をカウントすれば簡単に検出できる。

【0139】同様に、一水平走査期間の中央の時刻の点灯数は、パルス幅変調回路への入力データが128よりも大きいものの数をカウントすれば簡単に検出できる。

【0140】このように画像データがある閾値に対してコンパレートし、コンパレータの出力が真である数をカウントすれば、任意の時間における点灯数が簡単に計算することができる。

【0141】ここで、以降の説明を簡単化するため、タイムスロットという時間量を定義する。

【0142】すなわち、タイムスロットとは、一水平走査期間のなかのパルス幅変調信号の立ち上がりからの時間を表しており、タイムスロット=0とは、パルス幅変調信号の立ち上がり直後の時刻を表すものと定義する。

【0143】タイムスロット=64とは、パルス幅変調信号の立ち上がりから、64階調分の時間が経過した時刻を表すものと定義する。

【0144】同様にタイムスロット=128とは、パルス幅変調信号の立ち上がりから、128階調分の時間が経過した時刻を表すものと定義する。

【0145】（電圧降下量から補正データの計算）上述したように、縮退モデルを用いて繰り返し計算を行うことで一水平走査期間中の電圧降下の時間変化を近似的かつ離散的に計算することができた。

【0146】図9は、ある画像データに対して、電圧降下を繰り返し計算し、走査配線での電圧降下の時間変化を計算した例である（ここに示されている電圧降下及びその時間変化は、ある画像データに対する一例であつ



て、別の画像データに対する電圧降下は、また別の変化をすることは当然である。】。

【0147】同図ではタイムスロット=0, 64, 128, 192の4つの時点に対して、各々縮退モデルを適用して計算を行い、それぞれの時刻の電圧降下を離散的に計算した。

【0148】図9では各ノードにおける電圧降下量を点線で結んでいるが、点線は図を見やすくするために記載したものであって、本縮退モデルにより計算された電圧降下は□、○、●、△で示した各ノードの位置において離散的に計算した。

【0149】発明者らは、電圧降下の大きさとその時間変化を計算可能となった次の段階として、電圧降下量から画像データを補正する補正データを算出する方法について検討を行った。

【0150】図10は、図9に示した電圧降下が選択した走査配線上に発生した際に、点灯状態にある表面伝導型放出素子から放出される放出電流を見積もったグラフである。

【0151】縦軸は電圧降下がないときに放出される放出電流の大きさを100%としたときの、放出電流の量を百分率で表しており、横軸は水平位置を表している。

【0152】図10に示すように、ノード2において、タイムスロット=0の時の放出電流を $I_{e0}$ 、タイムスロット=64の時の放出電流を $I_{e1}$ 、タイムスロット=128の時の放出電流を $I_{e2}$ 、タイムスロットが192の時の放出電流を $I_{e3}$ 、とする。

【0153】図10は、電圧降下量と図3の”駆動電圧対放出電流”のグラフから計算した。具体的には電圧VSELから電圧降下量を引いた電圧が印加された際の放

出電流の値を機械的にプロットしたものである。

【0154】したがって、同図はあくまで点灯状態にある表面伝導型放出素子から放出される電流を意味しており、消灯状態にある表面伝導型放出素子が電流を放出することはない。

【0155】以下に、電圧降下量から画像データを補正する補正データを算出する方法について説明する。

【0156】(離散的補正データの算出方法) 図11(a), (b), (c)は図10の放出電流の時間変化から、電圧降下量の補正データを計算する方法を説明するための図である。同図は大きさが64の画像データに対する補正データを算出した例である。

【0157】いま、電圧降下の影響がない場合の放出電流を $I_E$ 、パルス幅変調の1階調に相当する時間を $\Delta t$ とするならば、画像データが64のときの、放出電流パルスによる放出電荷量 $Q_0$ は放出電流パルスの振幅 $I_E$ にパルス幅( $64 \times \Delta t$ )をかけて、

【数7】

$$Q_0 = I_E \times 64 \times \Delta t \quad (\text{式4})$$

【0158】しかし、実際には、走査配線上の電圧降下によって放出電流が低下する現象が発生する。

【0159】電圧降下の影響を考慮した放出電流パルスによる放出電荷量は、近似的には次のように計算できる。すなわち、ノード2のタイムスロット=0, 64の放出電流をそれぞれ $I_{e0}$ ,  $I_{e1}$ とし、0~64の間の放出電流は $I_{e0}$ と $I_{e1}$ の間を直線的に変化するものと近似すれば、この間の放出電荷量 $Q_1$ は図11

(b)の台形の面積、すなわち、

【数8】

$$Q_1 = (I_{e0} + I_{e1}) \times 64 \times \Delta t \times 0.5 \quad (\text{式5})$$

として計算できる。

【0160】次に、図11(c)に示すように、電圧降下による放出電流の低下分を補正するために、パルス幅をDC1だけ伸ばしたとき、電圧降下の影響を除去できたとする。

【0161】また、電圧降下の補正を行い、パルス幅を伸ばした場合には、各タイムスロットにおける放出電流量は変化すると思われるが、ここでは簡単化のため、図11(c)のように、タイムスロット=0では、放

電流が $I_{e0}$ 、タイムスロット=(64+DC1)においては放出電流が $I_{e1}$ になるものとする。

【0162】また、タイムスロット0とタイムスロット(64+DC1)の間の放出電流は、2点の放出電流を直線で結んだ線上の値をとるものと近似する。

【0163】すると、補正後の放出電流パルスによる放出電荷量 $Q_2$ は、

【数9】

$$Q_2 = (I_{e0} + I_{e1}) \times (64 + DC1) \times \Delta t \times 0.5 \quad (\text{式6})$$

として計算できる。

【数10】

【0164】これが前述の $Q_0$ と等しいとすれば、

$$I_E \times 64 \times \Delta t = (I_{e0} + I_{e1}) \times (64 + DC1) \times \Delta t \times 0.5 \quad (\text{数11})$$

となる。

【0165】これをDC1について解けば、

$$DC1 = (2 \times I_E - I_{e0} - I_{e1}) / (I_{e0} + I_{e1}) \times 64 \quad (\text{式7})$$

となる。

【0166】このようにして、画像データが64の場合の補正データを算出した。

【0167】すなわち、ノード2の位置の大きさが64の画像データに対しては(式7)に記載のように、 $CD_{ata} = DC1$ を補正量として加算すればよい。

【0168】図12は計算された電圧降下量から、大きさが128の画像データに対する補正データを算出した例である。

【0169】いま、画像データが128のときに期待される放出電流パルスによる放出電荷量 $Q3$ は、

【数12】

$$Q3 = IE \times 128 \times \Delta t = 2 \times Q0 \quad (\text{式8})$$

【0170】一方、電圧降下の影響を受けた、実際の放出電流パルスによる投入電荷量は、近似的には次のように計算することができる。

【0171】すなわち、ノード2のタイムスロット=0、64、128の放出電流量をそれぞれ $Ie0$ 、 $Ie1$ 、 $Ie2$ とする。また、0~64の間の放出電流は $Ie0$ と $Ie1$ の間を直線的に変化し、64~128の間は $Ie1$ と $Ie2$ の間を直線で結んだ線上に変化するものと近似すれば、0~128までのタイムスロットの間の放出電荷量 $Q4$ は図12(b)の2つの台形の面積の和、すなわち、

【数13】

として計算することができる。 $Q4 = (2 \times IE - Ie1 - Ie2) / (Ie1 + Ie2) \times 64 \times \Delta t$  (式10)

【0180】結果としてノード2の位置の大きさが128の画像データに対しては、

【数15】

を補正量として加算すればよい。(式11)

【0181】図13は、計算された電圧降下量から、大きさが192の画像データに対する補正データを算出した例である。

【0182】いま、画像データが192のときに期待される放出電流パルスによる放出電荷量 $Q5$ は、

【数16】

$$Q5 = IE \times 192 \times \Delta t = 3 \times Q0$$

【0183】一方、電圧降下の影響を受けた、実際の放出電流パルスによる放出電荷量は、近似的には次のように計算することができる。

【0184】すなわち、ノード2のタイムスロット=0の時の放出電流を $Ie0$ 、タイムスロット=64のときの放出電流を $Ie1$ 、タイムスロット=128の時の放出電流を $Ie2$ 、タイムスロット=192の時の放出電流を $Ie3$ とし、0~64の間の放出電流は $Ie0$ と $Ie1$ の間を直線的に変化し、64~128の間は $Ie1$

$$Q4 = (Ie0 + Ie1) \times 64 \times \Delta t \times 0.5$$

$$+ (Ie1 + Ie2) \times 64 \times \Delta t \times 0.5 \quad (\text{式9})$$

として計算できる。

【0172】一方、電圧降下の補正量を以下のように計算した。

【0173】タイムスロット0~64に相当する期間を期間1、64~128に相当する期間を期間2と定義する。

【0174】補正を施した際に、期間1の部分がDC1だけ伸びて期間1'に伸長され、期間2の部分がDC2だけ伸びて、期間2'に伸長されるものとする。

【0175】この際におおのの期間は補正を施されることにより、放出電荷量が前述の $Q0$ と同じになるものとする。

【0176】また、各期間の初めと終わりの放出電流は、補正を行うことで変化することは言うまでもないが、ここでは計算を簡単化するため、変化しないものと仮定した。

【0177】すなわち、期間1'の初めの放出電流は $Ie0$ 、期間1'の終わりの放出電流は $Ie1$ 、期間2'の初めの放出電流は $Ie1$ 、期間2'の終わりの放出電流は、 $Ie2$ であるものとする。

【0178】すると、DC1は式と同様にして計算することができる。

【0179】また、DC2は、同様な考え方により、

【数14】  
として計算することができる。 $Q6 = (Ie0 + Ie1) \times 64 \times \Delta t \times 0.5 + (Ie1 + Ie2) \times 64 \times \Delta t \times 0.5 + (Ie2 + Ie3) \times 64 \times \Delta t \times 0.5$  (式12)

【数17】

$$Q6 = (Ie0 + Ie1) \times 64 \times \Delta t \times 0.5 + (Ie1 + Ie2) \times 64 \times \Delta t \times 0.5 + (Ie2 + Ie3) \times 64 \times \Delta t \times 0.5$$

として計算できる。

【0185】一方、電圧降下の補正量を以下のように計算した。

【0186】タイムスロット0~64に相当する期間を期間1、64~128に相当する期間を期間2、128~192に相当する期間を期間3と定義する。

【0187】先ほどと同様に、補正を施した後には、期間1の部分がDC1だけ伸びて期間1'に伸長され、期間2の部分がDC2だけ伸びて、期間2'に伸長され、期間3の部分がDC3だけ伸びて期間3'に伸張されるものとする。

【0188】この際、おおのの期間は補正を施されることにより、放出電荷量が前述の $Q0$ と同じになるものとする。

【0189】また、各期間の初めと終わりの放出電流は、補正の前後で変わらないものと仮定した。

【0190】すなわち、期間1'の初めの放出電流は、 $I_{e0}$ 、期間1'の終わりの放出電流は $I_{e1}$ 、期間2'の初めの放出電流は $I_{e1}$ 、期間2'の終わりの放出電流は、 $I_{e2}$ 、期間3'の初めの放出電流は $I_{e2}$

として計算するこ  $DC3 = (2 \times IE - I_{e2} - I_{e3}) / (I_{e2} + I_{e3}) \times 64$  (式13)  $CData$ は、  
【0193】結果としてノード2の位置の大きさが19

とすればよい。

【0194】以上のようにしてノード2の位置に対する画像データ64、128、192の補正データDCを算出した。

【0195】また、パルス幅が0の時には、当然ながら放出電流に対する電圧降下の影響はないため、補正データは0とし画像データに加算する補正データ $CData$ も0とした。

【0196】なお、このように0、64、128、192というように、とびとびの画像データに対して補正データを計算しているのは、計算量を減らすことを狙ったものである。

【0197】すなわち任意のすべての画像データに対して同様の計算を行って、非常に計算量が大きくなり、計算を行うためのハードウェア量が非常に大きくなってしまう。

【0198】一方、あるノードの位置においては、画像データが大きいくほど、補正データも大きくなる傾向がある。これにより、任意の画像データに対する補正データを算出する際には、その画像データの近傍のすでに補正データが算出されている点と点を直線近似により補間すれば、計算量を大幅に減少させることができるためである。なお、この補間については離散補正データ補間手段の説明において詳しく説明する。

【0199】また、同様な考え方をすべてのノードの位置において適用すれば、すべてのノードの位置における、画像データ=0、64、128、192の補正データを算出できる。

【0200】本例ではタイムスロットを0、64、128、192の4点に対して縮退モデルを適用して、各時刻の電圧降下量を計算したことにより、補正データも画像データが0、64、128、192の4点に対して求めることができた。

【0201】しかし、好ましくは縮退モデルにより電圧降下を計算する時間の間隔を細かく、さらに多くとることで、電圧降下の時間変化をより精密に扱うことができ、近似計算の誤差を低減することができる。

【0202】なお、その際には同様な考え方に立って、

2、期間3'の終わりの放出電流は $I_{e3}$ であるものとする。

【0191】すると、 $DC1$ 、 $DC2$ はそれぞれ式7、式10と同様に計算することができる。

【0192】また、 $DC3$ については、  
【数18】

【数19】

$CData = DC1 + DC2 + DC3$  式14を变形して計算を行えばよい。

【0203】上述の方法により、ある入力データに対し、各々のノードの位置における、画像データ=0、64、128、192に対する補正データを離散的に計算すると、図14(a)に示す結果が得られた。

【0204】図14(a)は、上述の方法により、ある入力データに対し、各々のノードの位置における、画像データ=0、64、128、192に対する補正データを離散的に計算した結果の一例である。

【0205】なお、同図では同一の画像データに対する離散補正データを、図を見やすくするために、点線の曲線で結んで記載した。

【0206】(離散補正データの補間方法) 離散的に算出された補正データは、各ノードの位置に対する離散的なものであって、任意の水平位置(列配線番号)における補正データを与えるものではない。またそれと同時に、各ノード位置においていくつかの予め定められたパルス幅の変調信号に対する補正データであって任意のパルス幅に対する補正データをあたえるものではない。

【0207】そこで発明者らは、各列配線における任意のパルス幅の変調信号に適合した補正データを離散的に算出した補正データを補間することにより算出した。

【0208】図14(b)はノード $n$ とノード $n+1$ の間に位置する $x$ という位置における、パルス幅 $Data$ に対するパルス幅変調信号の補正データを算出する方法を示した図である。

【0209】なお、前提として、補正データはすでにノード $n$ 及びノード $n+1$ の位置 $X_n$ 及び $X_{n+1}$ において離散的に計算されているものとする。

【0210】また、パルス幅 $Data$ はすでに離散的に補正データが算出されているパルス幅の $D_k$ と $D_{k+1}$ の間の値をとるものとする。

【0211】いま、ノード $n$ のパルス幅 $D_k$ の補正データを $CData[k][n]$ と表記するならば、位置 $x$ におけるパルス幅 $D_k$ の補正データ $CA$ は、 $CData[k][n]$ と $CData[k][n+1]$ の値を用いて、直線近似により、以下のように、

【数20】

$$CA = \frac{(X_{n+1}-x) \times CData[k][n] + (x-X_n) \times CData[k][n+1]}{X_{n+1} - X_n} \quad (式15)$$

と計算できる。

【0212】また、位置xにおけるパルス幅Dk+1の

補正データCBは以下のように、

【数21】

$$CB = \frac{(X_{n+1}-x) \times CData[k+1][n] + (x-X_n) \times CData[k+1][n+1]}{X_{n+1} - X_n} \quad (式16)$$

と計算できる。

【0213】CAとCBの補正データを直線近似することにより、位置xにおける画像データDataに対する

補正データCDは、以下のように、

【数22】

$$CD = \frac{CA \times (D_{k+1} - Data) + CB \times (Data - D_k)}{D_{k+1} - D_k} \quad (式17)$$

と計算できる。

【0214】以上のように、離散補正データから実際の位置やパルス幅の大きさに適合した補正データを算出するためには、(式15)～(式17)に記載した方法により簡単に計算できる。

【0215】以上、補正データの算出方法について説明してきた。

【0216】このようにして算出した補正データを画像データに加算して画像データを補正し、補正後の画像データに応じてパルス幅変調を行えば、従来からの課題であった電圧降下による画質の低下を低減することができ、画質を向上させることができる。

【0217】また予てからの課題であった補正のためのハードウェアも、これまで説明してきたような縮退化などの近似を導入することにより、計算量を低減化することができるため非常に小規模なハードウェアで構成することができるという優れたメリットがある。

【0218】以上、本実施形態における画像データの補正方法について説明を行った。

【0219】(システム全体と各部分の機能説明)次に、本実施形態における補正データ算出手段を内蔵した画像表示装置のハードウェアについて説明を行う。

【0220】図15はその回路構成の概略を示すブロック図である。図において1は図1の表示パネル、Dx1～DxM及びDx1'～DxM'は表示パネルの走査配線の電位供給端子、Dy1～DyNは表示パネルの変調配線の電位供給端子、Hvはフェースプレートとリアプレートの間に加速電圧を印加するための高圧供給端子、Vaは高圧電源、2は走査回路、3は同期信号分離回路、4はタイミング発生回路、7は同期分離回路3によりYPbPr信号をRGBに変換するための変換回路、1.7は逆γ処理部、5は画像データ1ライン分のシフトレジスタ、6は画像データ1ライン分のラッチ回路、8は表示パネルの変調配線に変調信号を出力するパルス幅変調手段、12は加算器、14は補正データ算出手段で

ある。

【0221】また、同図においてR、G、BはRGBパラレルの入力映像データ、Ra、Ga、Baは後述する逆γ変換処理を施したRGBパラレルの映像データ、Dataはデータ配列変換部によりパラレル・シリアル変換された画像データ、CDは補正データ算出手段により算出された補正データ、Doutは加算器により画像データに補正データを加算することにより、補正された画像データである。

【0222】(同期分離回路、タイミング発生回路)本実施形態の画像表示装置は、NTSCや、PAL、SECAM、HDTVなどのテレビジョン信号や、コンピュータの出力であるVGAなどをともに表示することができる。

【0223】図15では図を簡単化するため、HDTV方式のみについて記載している。

【0224】HDTV方式の映像信号は、まず3の同期分離回路により同期信号Vsync、Hsyncを分離し、タイミング発生回路に供給する。同期分離された映像信号は、RGB変換手段に供給される。RGB変換手段の内部には、YPbPrからRGBへの変換回路の他に、不図示のローパスフィルタやA/D変換器などが設けられており、YPbPrをデジタルRGB信号へと変換し、逆γ処理部へと供給する。

【0225】(タイミング発生回路)タイミング発生回路は、PLL回路を内蔵しており、様々な映像ソースの同期信号に同期したタイミング信号を発生し、各部の動作タイミング信号を発生する回路である。

【0226】タイミング発生回路4が発生するタイミング信号としては、シフトレジスタ5の動作タイミングを制御するTsft、シフトレジスタから、ラッチ回路6へデータをラッチするための制御信号Data load、変調手段8のパルス幅変調開始信号Pwmstart、パルス幅変調のためのクロックPwmclk、走査回路2の動作を制御するTscanなどがある。

【0227】（走査回路）走査回路2及び2'は、表示パネルを一水平走査期間に1行ずつ順次走査するため、接続端子Dx1～Dxmに対して選択電位Vsまたは非選択電位Vnsを出力する回路である（図16）。

【0228】走査回路2及び2'はタイミング発生回路4からのタイミング信号Tscanに同期して、一水平期間ごとに、選択している走査配線を順次切り替え、走査を行う回路である。

【0229】なお、Tscanは垂直同期信号及び水平同期信号などから作られるタイミング信号群である。

【0230】走査回路2及び2'は、図16に示すようにそれぞれM個のスイッチとシフトレジスタなどから構成される。これらのスイッチはトランジスタやFETにより構成するのが好ましい。

【0231】なお、走査配線での電圧降下を低減するためには、走査回路は図15に示したように、表示パネルの走査配線の両端に接続され、両端からドライブされることが好ましい。

【0232】一方、本発明は、走査回路が走査配線の両端に接続されていない場合でも有効であり、（式3）のパラメータを変更するだけで適用できる。

【0233】（逆 $\gamma$ 処理部）CRTは入力に対しほぼ2.2乗の発光特性（以降逆 $\gamma$ 特性とよぶ）を備えている。

【0234】入力映像信号は、CRTのこのような特性が考慮されており、CRTに表示した際にリニアな発光特性となるように、一般に0.45乗の $\gamma$ 特性にしたがって変換される。

【0235】一方、本発明の画像表示装置の表示パネルは電子放出素子に印加する駆動電圧の波高値による変調を用いず、該駆動電圧の印加時間により変調を施す場合、印加時間の長さに対しほぼリニアな発光特性を有しているため、入力映像信号を逆 $\gamma$ 特性にもとづいて変換（以降逆 $\gamma$ 変換とよぶ）する必要がある。

【0236】図15に記載した逆 $\gamma$ 処理部は、入力映像信号を逆 $\gamma$ 変換するためのブロックである。

【0237】本実施形態の逆 $\gamma$ 処理部は、上記逆 $\gamma$ 変換処理をメモリによって構成した。

【0238】逆 $\gamma$ 処理部は映像信号R、G、Bのビット数を8ビットとし、逆 $\gamma$ 処理部の出力である映像信号Ra、Ga、Baのビット数を同じく8ビットとして、アドレス8ビット、データ8ビットのメモリを各色ごと用いることにより構成した（図17）。

【0239】（データ配列変換部）データ配列変換部9はRGBパラレルな映像信号であるRa、Ga、Baを表示パネルの画素配列に合わせてパラレル・シリアル変換する回路である。データ配列変換部9の構成は図18に示したようにRGB各色ごとのFIFO（First In First Out）メモリ2021R、2021G、2021Bとセクタ2022から構成される。

る。

【0240】同図では図示していないが、FIFOメモリは水平画素数ワードのメモリを奇数ライン用と偶数ライン用の2本備えている。奇数行目の映像データが入力された際には、奇数ライン用のFIFOにデータが書き込まれる一方、偶数ライン用のFIFOメモリから一つ前の水平走査期間に蓄積された画像データが読み出される。

【0241】偶数行目の映像データが入力された際には偶数ライン用のFIFOにデータが書き込まれる一方、奇数ライン用FIFOメモリから一つ前の水平期間に蓄積された画像データが読み出される。

【0242】FIFOメモリから読み出されたデータは、セクタにより表示パネルの画素配列にしたがって、パラレル・シリアル変換され、RGBのシリアル画像データSDaと出力される。詳細については記載しないが、タイミング発生回路4からのタイミング制御信号に基づいて動作する。

【0243】（加算器12）加算器12は、補正データ算出手段からの補正データCDと画像データDataを加算する手段である。加算を行うことにより画像データDataは補正が施され、画像データDoutとしてシフトレジスタへ転送される。

【0244】（遅延回路19）データ配列変換部により並び替えが行われた画像データSDaは補正データ算出部と遅延回路19に入力される。補正データ算出部の補正データ補間部はタイミング制御回路からの水平位置情報xと画像データSDaの値を参照して、それらにあった補正データCDを算出する。

【0245】遅延回路19は、補正データ算出にかかる時間を吸収するために設けられており、加算器12で画像データに補正データが加算される際に、画像データにそれに対応した補正データが正しく加算されるよう遅延を行う手段である。同手段はフリップフロップを用いることにより構成できる。

【0246】（シフトレジスタ、ラッチ回路）補正データ補間部の出力である画像データDoutは、シフトレジスタ5により、シリアルなデータフォーマットから、各変調配線毎のパラレルな画像データID1～IDNへとシリアル／パラレル変換されラッチ回路へ出力される。ラッチ回路では1水平期間が開始される直前にタイミング信号Data loadにより、シフトレジスタからのデータをラッチする。ラッチ回路6の出力は、パラレルな画像データD1～DNとして変調手段へと供給される。

【0247】なお、本実施形態では、画像データID1～IDN、D1～DNはそれぞれ8ビットの画像データとした。これらの動作タイミングはタイミング発生回路4（図15に図示）からのタイミング制御信号TSFT及びData loadに基づいて動作する。

【0248】（変調手段の詳細）ラッチ回路6の出力であるパラレル画像データD1～DNは変調手段8へと供給される。

【0249】変調手段は、図19（a）に示したように、PWMカウンタと、各変調配線ごとにコンパレータとスイッチ（同図ではFET）を備えたパルス幅変調回路（PWM回路）である。

【0250】画像データD1～DNと変調手段の出力パルス幅の関係は、図19（b）のようになりニアな関係にある。

【0251】同図（c）に変調手段の出力波形の例を3つ示す。

【0252】同図において上側の波形は、変調手段への入力データが0の時の波形、中央の波形は、変調手段への入力データが128の時の波形、下側の波形は、変調手段への入力データが255の時の波形である。

【0253】なお、本例では変調手段への入力データD1～DNのビット数は8ビットとした（なお、前述の説明では、変調手段の入力データが255のときは、一水平走査期間に相当するパルス幅の変調信号が出力されると記載した箇所があるが、詳細には同図（c）のように非常に短い時間ではあるがパルスの立ち上がる前と、立ち下がった後に駆動しない期間を設けタイミング的な余裕を持たせている。）。

【0254】図20は、本発明の変調手段の動作を示すタイミングチャートである。

【0255】同図において、Hsyncは1水平走査期間の始まりを表す水平同期信号、Data loadはラッチ回路6へのロード信号、D1～DNは前述の変調手段の列1～Nへの入力信号、Pwm startはPWMカウンタの同期クリア信号、Pwm clkはPWMカウンタのクロックである。また、XD1～XDNは変調手段の第1～第N列の出力を表している。

【0256】同図にあるように1水平走査期間が始まると、ラッチ回路6は画像データをラッチするとともに変調手段へデータを転送する。

【0257】PWMカウンタは、同図に示したように、Pwm start、Pwm clkに基づいてカウントを開始し、カウント値が255になるとカウンタをストップしカウント値255を保持する。

【0258】各列毎に設けられているコンパレータは、PWMカウンタのカウント値と各列の画像データを比較し、PWMカウンタの値が画像データ以上のときHighを出力し、それ以外の期間はLowを出力する。

【0259】コンパレータの出力は、各列のスイッチのゲートに接続されており、コンパレータの出力がLowの期間は同図の上側（V PWM側）のスイッチがON、下側（GND側）のスイッチがOFFとなり、変調配線を電位V PWMにする。

【0260】逆にコンパレータの出力がHighの期間は

は、同図の上側のスイッチがOFFし、下側のスイッチがONするとともに、変調配線の電位をGND電位にする。

【0261】各部が以上のように動作することで、変調手段が出力するパルス幅変調信号は、図20のD1、D2、DNに示したような、パルスの立ち上がりが同期した波形となる。

【0262】（補正データ算出手段）補正データ算出手段は前述した補正データ算出方法により、電圧降下の補正データを算出する回路である。補正データ算出手段は図21に示すように離散的補正データ算出部と補正データ補間部の2つのブロックから構成される。

【0263】離散的補正データ算出部では入力された映像信号から電圧降下量を算出し、電圧降下量から補正データを離散的に計算する手段である。同手段は計算量やハードウェア量を減少させるために、前述の縮退モデルの概念を導入して、補正データを離散的に算出する。

【0264】離散的に算出された補正データは補正データ補間部により補間され、画像データの大きさやその水平表示位置xに適合した補正データCDが算出される。

【0265】（離散的補正データ算出部）図22は本発明の離散的補正データを算出するための離散的補正データ算出部である。

【0266】同図において100a～100dは点灯数カウント手段、101a～101dは各ブロックの、各時刻における点灯数を格納するレジスタ群、102はCPU、103は式2及び式3で記載したパラメータaijを記憶するためのテーブルメモリ、104は計算結果を一時記憶するためのテンポラリレジスタ、105はCPUのプログラムが格納されているプログラムメモリ、112は電圧降下量を放出電流量に変換する変換データが記載されたテーブルメモリ、111は後述する電流値IFIが記載されたテーブルメモリ、106は前述した離散補正データの計算結果を格納するためのレジスタ群、100eは各時刻の、各ブロックにおける点灯数の合計の総点灯数カウント手段、101eは総点灯数カウント手段100eの結果（各時刻における総点灯数）を格納するためのレジスタ群である。

【0267】点灯数カウント手段100a～100dは、同図（b）に記載したようなコンパレータと加算器などから構成されている。映像信号Ra、Ga、Baはそれぞれコンパレータ107a～cに入力され、逐次Cvalの値と比較される。

【0268】コンパレータ107a～cはCvalと画像データの比較を行い画像データの方が大きければHighを出力し小さければLowを出力する。

【0269】コンパレータの出力は加算器108及び109により互いに足し算され、さらに加算器110によりブロックごとに加算をおこない、ブロックごとの加算結果を各々のブロックごとの点灯数としてレジスタ群1

01a~dへと格納する。

【0270】点灯数カウント手段100a~dにはコンパレータの比較値Cvalとしてそれぞれ0、64、128、192が入力されている。

【0271】結果として、点灯数カウント手段100aは画像データのうち、0より大きい画像データの個数をカウントしそのブロックごとの総計をレジスタ101aに格納する。

【0272】同様に、点灯数カウント手段100bは画像データのうち、64より大きい画像データの個数をカウントし、そのブロックごとの総計をレジスタ101bに格納する。

【0273】同様に、点灯数カウント手段100cは画像データのうち、128より大きい画像データの個数をカウントし、そのブロックごとの総計をレジスタ101cに格納する。

【0274】同様に、点灯数カウント手段100dは画像データのうち、192より大きい画像データの個数をカウントし、そのブロックごとの総計をレジスタ101dに格納する。

【0275】また、総点灯数カウント手段100eは点灯数カウント手段100aとほぼ同様の構成であり、各時刻に対応する画像データについて、全ブロックの総計（各時刻における総点灯数）をレジスタ101eに格納する。

【0276】ここでテーブルメモリ3（111）に格納した電流値IFiには、図7に示した総点灯数対電流値特性を用いた。すなわち、予め収束計算により全ブロックを均等に点灯させたときの電流値を近似的に得、その結果を総点灯数をアドレスとして格納した。

【0277】以上のようにブロックごと、時間ごとの点灯数カウントされると、CPUはテーブルメモリ103に格納されたパラメータテーブルaijを随時読み出し、テーブルメモリ3（111）から総点灯数を参照して電流値IFiを読み出し、式2~式5に従い電圧降下量を計算し、計算結果をテンポラリレジスタ104に格納する。

【0278】本例ではCPUに式2の計算を円滑におこなうための積和演算機能を設けた。

【0279】式2に挙げた演算を実現する手段としては、CPUで積和演算を行わないでもよく、例えば、その計算結果をメモリに入れておいてもよい。

【0280】すなわち、点灯状態を入力とし、考えられるすべての入力パターンに対し、各ノード位置の電圧降下量をメモリに記憶させておいても構わない。

【0281】電圧降下量の計算が完了するとともに、CPUはテンポラリレジスタ104から、各時間、各ブロックの電圧降下量をよみだし、テーブルメモリ2（112）を参照して、電圧降下量を放出電流量に変換し、式5~式10もしくは式11~式17に従って、離散補正

データを算出した。計算した離散補正データは、レジスタ群106に格納した。

【0282】前述したように、テーブルメモリ3（111）の容量を少なくするため、総点灯数の有効桁数（ビット数）を少なくし実現しても本発明は実施可能である。

【0283】一例として、1280×3本の変調配線を持つパネルの総点灯数の上位8ビットをテーブルメモリ3（111）のアドレス線とし近似計算を行った。この場合においても画像は良好に表示できた。

【0284】他の方法として、テーブルメモリ3（111）に格納した電流値IFiには、図8に示した点灯数対電流値特性を用いても同様の効果が得られた。すなわち、ブロック0が含む変調配線数をN0、ブロック1が含む変調配線数をN1、ブロック2が含む変調配線数をN2、ブロック3が含む変調配線数をN3、とし、ブロック0の点灯数がX0（X0は0からN0の整数）、ブロック1の点灯数がX1（X1は0からN1の整数）、ブロック2の点灯数がX2（X2は0からN2の整数）、ブロック3の点灯数がX3（X3は0からN3の整数）のときのIF0、IF1、IF2、IF3のデータを全て求めておきメモリに記憶しておく。

【0285】これにより画像信号に応じた値であるX0、X1、X2、X3を入力としてIF0、IF1、IF2、IF3を示す値をメモリから出力することができた。この時、総点灯数カウント手段100e、レジスタ群101eは、必要はない。

【0286】この場合、前者の総点灯数から得た近似特性に比べて誤差が少なくなるメリットがあるが、テーブルメモリに要する容量が多くなってしまう。

【0287】前述したように、テーブルメモリ3（111）の容量を少なくするため、ブロックごとの点灯数の有効桁数（ビット数）を少なくし実現しても本発明は実施可能である。

【0288】例えば、変調配線を4ブロックに分割した場合、各ブロックの点灯数を上位2ビットとし、合計8ビットのみメモリのアドレス線として入力し、ブロックごとの電流値をテーブルメモリ3（111）により求めることにより、ハードウェアの削減を行えることを確認している。

【0289】なお、テーブルメモリ3（111）に格納されている情報として電圧降下DVあるいは放出電流量Ieを採用しても良い。この場合IFからIeへの変換テーブルが省けるというメリットがある。

【0290】（補正データ補間部）補正データ補間部は画像データの表示される位置（水平位置）及び、画像データの大きさに適合した補正データを算出するための手段である。同手段は離散的に算出された補正データを補間することにより、画像データの表示位置（水平位置）及び、画像データの大きさに合致した補正データを算出

する。

【0291】図23は、補正データ補間部を説明するための図である。

【0292】同図において123は画像データの表示位置（水平位置） $x$ から、補間に用いる離散補正データのノード番号 $n$ 及び $n+1$ を決定するためのデコーダであり、124は画像データの大きさから、式15～式17の $k$ および $k+1$ を決定するためのデコーダである。

【0293】また、セレクト125～128は、離散補正データを選択して、直線近似手段に供給するためのセレクトである。

【0294】また、120～122は、それぞれ（式15）～（式17）の直線近似を行うための直線近似手段である。

【0295】図24に直線近似手段a120の構成例を示す。一般に直線近似手段は（式15）～（式17）の演算子にあらわされるように、減算器、積算器、加算器、割り算器などによって構成可能である。

【0296】しかし、望ましくは離散的補正データを算出するノードとノードの間の列配線本数や、離散的補正データを算出する画像データの間隔（すなわち電圧降下を算出する時間間隔）が2のべき乗になるように構成するとハードウェアを非常に簡単に構成できるというメリットがある。それらを2のべき乗に設定すれば、図24に示した割り算器において、 $X_{n+1}-X_n$ は2のべき乗の値となり、ビットシフトすればよい。

【0297】 $X_{n+1}-X_n$ の値がいつも一定の値であって、2のべき乗で表される値であるならば、加算器の加算結果をべき乗の乗数分だけシフトして出力すればよく、あえて割り算器を作製する必要がない。

【0298】また、これ以外の箇所でも離散補正データを算出するノードの間隔や、画像データの間隔を2のべき乗とすることにより、たとえばデコーダ123～124を簡単に作製することが可能となるとともに、図24の減算器で行っている演算を簡単なビット演算に置き換えることができるなど、非常にメリットが多い。

【0299】以上、これまで発明者らが鋭意検討してきた、電圧降下の補正回路を備える、本発明の画像表示装置について説明してきた。

【0300】このようにして算出した補正データを加算器12により画像データに加算することにより、表示画像における電圧降下の影響を低減することができ、非常に好ましい。

【0301】またハードウェア的にも小規模なハードウェアにより構成できるなど優れた効果があった。

【0302】（各部の動作タイミング）図25に各部の動作タイミングのタイミングチャートを示す。

【0303】なお、同図においてHsyncは水平同期信号、DotCLKはタイミング発生回路の中のPLL回路により水平同期信号Hsyncから作成したクロッ

ク、R、G、Bは入力切り替え回路からのデジタル画像データ、Dataはデータ配列変換後の画像データ、Doutは電圧降下補正を施された画像データ、TSFTはシフトレジスタ5へ画像データDoutを転送するためのシフトクロック、DataLoadはラッチ回路6へデータをラッチするためのロードパルス、Pwmstartは前述のパルス幅変調の開始信号、変調信号XDIは変調配線1へ供給されるパルス幅変調信号の一例である。

【0304】1水平期間の開始とともに、入力切り替え回路からデジタル画像データRGBが転送される。同図では水平走査期間Iにおいて、入力される画像データを $R_I$ 、 $G_I$ 、 $B_I$ で表すと、それらは、データ配列変換回路9では1水平期間の間、画像データを蓄えられ、水平走査期間I+1において、表示パネルの画素配置に合わせてデジタル画像データData\_Iとして出力される。

【0305】 $R_I$ 、 $G_I$ 、 $B_I$ は、水平走査期間Iにおいて補正データ算出手段に入力される。同手段では、前述した点灯数をカウントし、カウントの終了とともに、電圧降下量が算出される。

【0306】電圧降下量が算出されるのにつづいて、離散的補正データが算出され、算出結果がレジスタに格納される。

【0307】走査期間I+1に移り、データ配列変換部から、1水平走査期間前の画像データData\_Iが出力されるのに同期して、補正データ補間手段では離散的補正データが補間され、補正データが算出される。補間された補正データは、階調数変換部15で直ちに階調数変換を施され、加算器12に供給される。

【0308】加算器12では、画像データDataと補正データCDを順次加算し、補正された画像データDoutをシフトレジスタへ転送する。シフトレジスタはTSftにしたがって、一水平期間分の画像データDoutを記憶するとともにシリアル・パラレル変換をおこなってパラレルな画像データID1～IDNをラッチ回路6に出力する。ラッチ回路6はDataLoadの立ち上がりにしたがってシフトレジスタからのパラレル画像データID1～IDNをラッチし、ラッチされた画像データD1～DNをパルス幅変調手段8へと転送する。

【0309】パルス幅変調手段8は、ラッチされた画像データに応じたパルス幅のパルス幅変調信号を出力する。本実施形態の画像表示装置では、結果として、変調手段が出力するパルス幅は、入力された画像データに対し、2水平走査期間分おけて表示される。

【0310】このような画像表示装置により画像の表示を行ったところ、従来からの課題であった走査配線における電圧降下量を補正することができ、それに起因する表示画像の劣化を改善することができ、非常に良好な画像を表示することができる。



【0311】また、離散的に補正データを算出し、離散的に計算した点と点の間はそれを補間して求めることにより、補正データを非常に簡単に計算させることができ、さらに非常に簡単なハードウェアでそれを実現できるなど、非常に優れた効果がある。

【0312】（第2の実施形態）第2の実施形態では、図26に示す構成とした。同図において100a~100dは点灯数カウント手段、101a~101dは各ブロックの、各時刻における点灯数を格納するレジスタ群、102はCPU、103は式2及び式3で記載したパラメータ $a_{ij}$ を記憶するためのテーブルメモリ、104は計算結果を一時記憶するためのテンポラリレジスタ、105はCPUのプログラムが格納されているプログラムメモリ、112は電圧降下量を放出電流量に変換する変換データが記載されたテーブルメモリ、106は前述した離散補正データの計算結果を格納するためのレジスタ群、100eは各時刻の、各ブロックにおける点灯数の合計の総点灯数カウント手段、101eは総点灯数カウント手段100eの結果（各時刻における総点灯数）を格納するためのレジスタ群である。

【0313】ブロックごと、時間ごとの点灯数がカウントされると、CPUは電流値IFを近似計算により算出し、結果をテンポラリレジスタ104に格納する構成とした。

【0314】近似計算に用いる近似式は、図8における特性から総点灯数を $s_n$ として $f(s_n)$ で得た。

【0315】前述したように、図7で示した全てのブロックが均等に点灯したときの総点灯数対電流特性のグラフのプロットを関数近似し $f(s_n)$ としてもよい。

【0316】また、前述したように、変調配線が多い場合、有効桁数を少なくした総点灯数を関数の入力としてもよい。

【0317】本例ではCPUに式1~式3の計算を円滑に行うための積和演算機能を設けた。

【0318】近似計算が完了するとともに、CPUはテンポラリレジスタ104から、各時間、各ブロックのIFを読み出し、テーブルメモリ（103）を参照して（式2）に従って電圧降下を計算し、テーブルメモリ2（112）を参照して放出電流量に変換し、式4~14に従って離散的補正データを算出した。

【0319】計算した離散的補正データは、レジスタ群106に格納した。

【0320】他の方法としては、ブロック0が含む変調配線数を $N_0$ 、ブロック1が含む変調配線数を $N_1$ 、ブロック2が含む変調配線数を $N_2$ 、ブロック3が含む変調配線数を $N_3$ 、とし、ブロック0の点灯数が $X_0$ （ $X_0$ は0から $N_0$ の整数）、ブロック1の点灯数が $X_1$ （ $X_1$ は0から $N_1$ の整数）、ブロック2の点灯数が $X_2$ （ $X_2$ は0から $N_2$ の整数）、ブロック3の点灯数が $X_3$ （ $X_3$ は0から $N_3$ の整数）のときのIF0、IF

1、IF2、IF3のデータをあらかじめ全て求めておき近似した関数を決定しておく。

【0321】この関数を $f_0(X_0, X_1, X_2, X_3)$ 、 $f_1(X_0, X_1, X_2, X_3)$ 、 $f_2(X_0, X_1, X_2, X_3)$ 、 $f_3(X_0, X_1, X_2, X_3)$ とする。

【0322】そして、各ブロックの点灯数（ $X_0, X_1, X_2, X_3$ ）から各ブロックの電流値IF0、IF1、IF2、IF3を計算する。この方法では、総点灯数カウント手段100e、レジスタ群101eは、必要はない。

【0323】この場合、前者の総点灯数から得た近似特性に比べて誤差が少なくなるメリットがあるが、関数の式が（条件わけ等が多くなり）複雑になる。

【0324】前述したように、関数の式（条件わけ等が多くなり）を簡単化するために、ブロックごとの点灯数の有効桁数（ビット数）を少なくし近似関数で計算しても本発明は実施可能である。

【0325】

【発明の効果】以上説明したように、本発明は、従来からの課題であった、走査配線上の電圧降下による表示画像の劣化を改善することができた。

【0326】また、いくつかの近似を導入したことにより、電圧降下を補正するための、画像データの補正量を簡単に計算することができ、非常に簡単なハードウェアでそれを実現することができるなど、非常に優れた効果があった。

【図面の簡単な説明】

【図1】画像表示装置の概観を示す図である。

【図2】表示パネルの電気的な接続を示す図である。

【図3】表面伝導型放出素子の特性を示す図である。

【図4】表示パネルの駆動方法を示す図である。

【図5】電圧降下の影響を説明する図である。

【図6】縮退モデルを説明する図である。

【図7】全てのブロックが均等に点灯したときに表面伝導型放出素子に流れる電流を示したものである。

【図8】ブロックがさまざまな点灯パターンを示すときに表面伝導型放出素子に流れる電流を示したものである。

【図9】離散的に算出した電圧降下量を示すグラフである。

【図10】離散的に算出した放出電流の変化量を示すグラフである。

【図11】画像データの大きさが64の場合の補正データの算出例を示す図である。

【図12】画像データの大きさが128の場合の補正データの算出例を示す図である。

【図13】画像データの大きさが192の場合の補正データの算出例を示す図である。

【図14】補正データの補間方法を説明するための図で

ある。

【図 15】補正回路を内蔵した画像表示装置の概略構成を示すブロック図である。

【図 16】画像表示装置の走査回路の構成を示すブロック図である。

【図 17】画像表示装置の逆 $\gamma$ 処理部の構成を示すブロック図である。

【図 18】画像表示装置のデータ配列変換部の構成を示すブロック図である。

【図 19】画像表示装置の変調手段の構成及び動作を説明する図である。

【図 20】画像表示装置の変調手段のタイミングチャートである。

【図 21】画像表示装置の補正データ算出手段の構成を示すブロック図である。

【図 22】画像表示装置の離散的補正データ算出部の構成を示すブロック図である。

【図 23】補正データ補間部の構成を示すブロック図である。

【図 24】直線近似手段の構成を示すブロック図である。

【図 25】画像表示装置のタイミングチャートである。

【図 26】第 2 の実施形態に係るメモリの構成を示すブ

ロック図である。

【符号の説明】

1 表示パネル

2 走査回路

8 パルス幅変調手段

12 加算器

14 補正データ算出手段

17 逆 $\gamma$ 処理部

19 遅延回路

100a, 100b, 100c, 100d 点灯数カウント手段

101a, 101b, 101c, 101d レジスタ群

103 テーブルメモリ

110 テーブルメモリ

107a, 107b, 107c コンパレータ

123, 124 デコーダ

1001 基板

1002 冷陰極素子

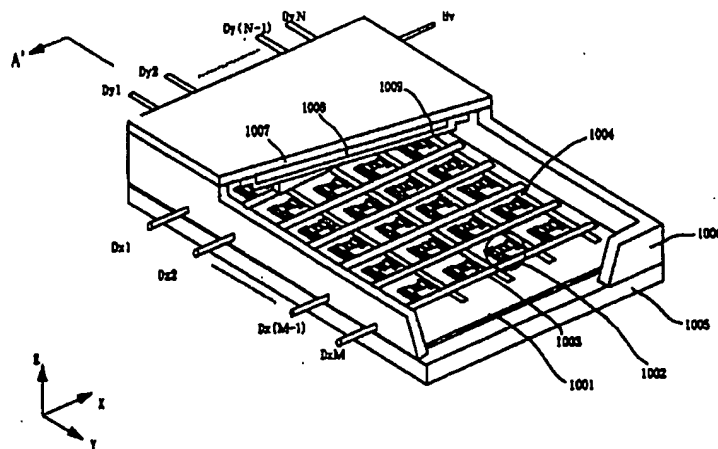
1003 行配線 (走査配線)

1004 列配線 (変調配線)

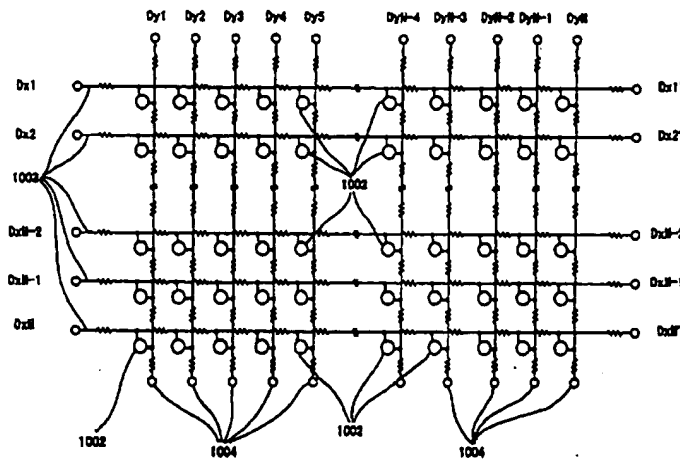
1007 フェースプレート

1008 蛍光膜

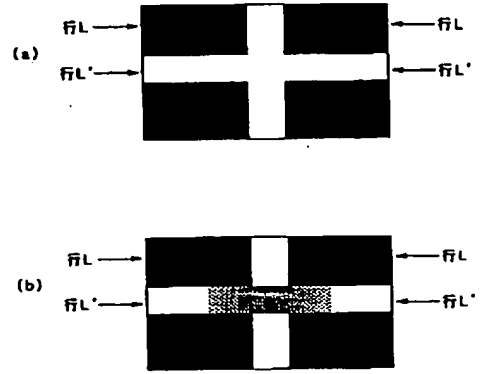
【図 1】



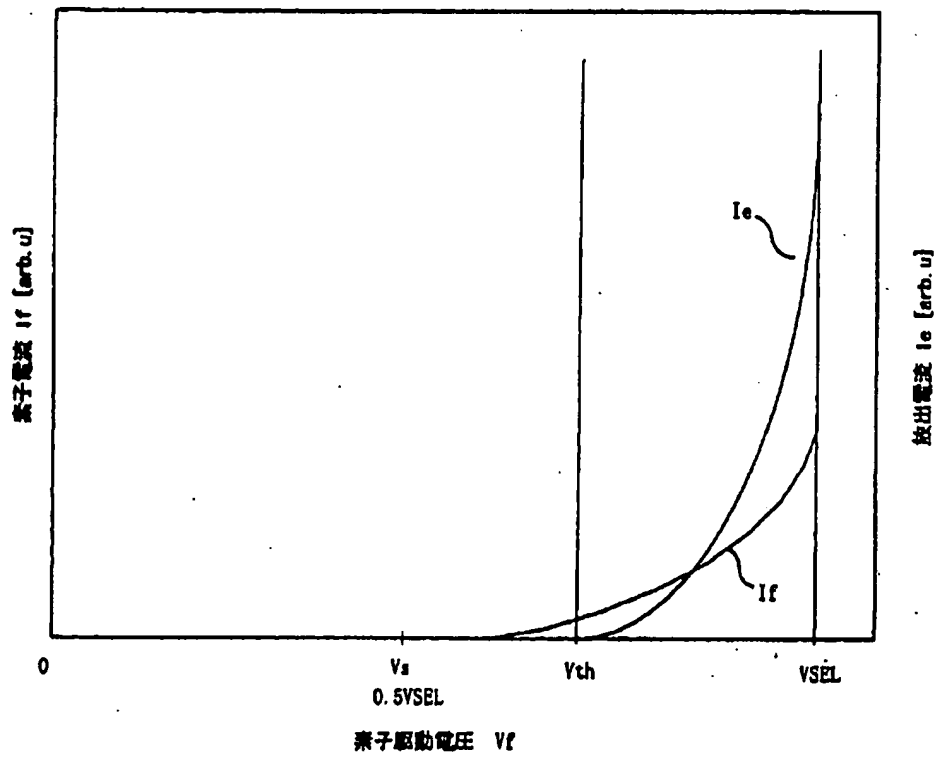
【図2】



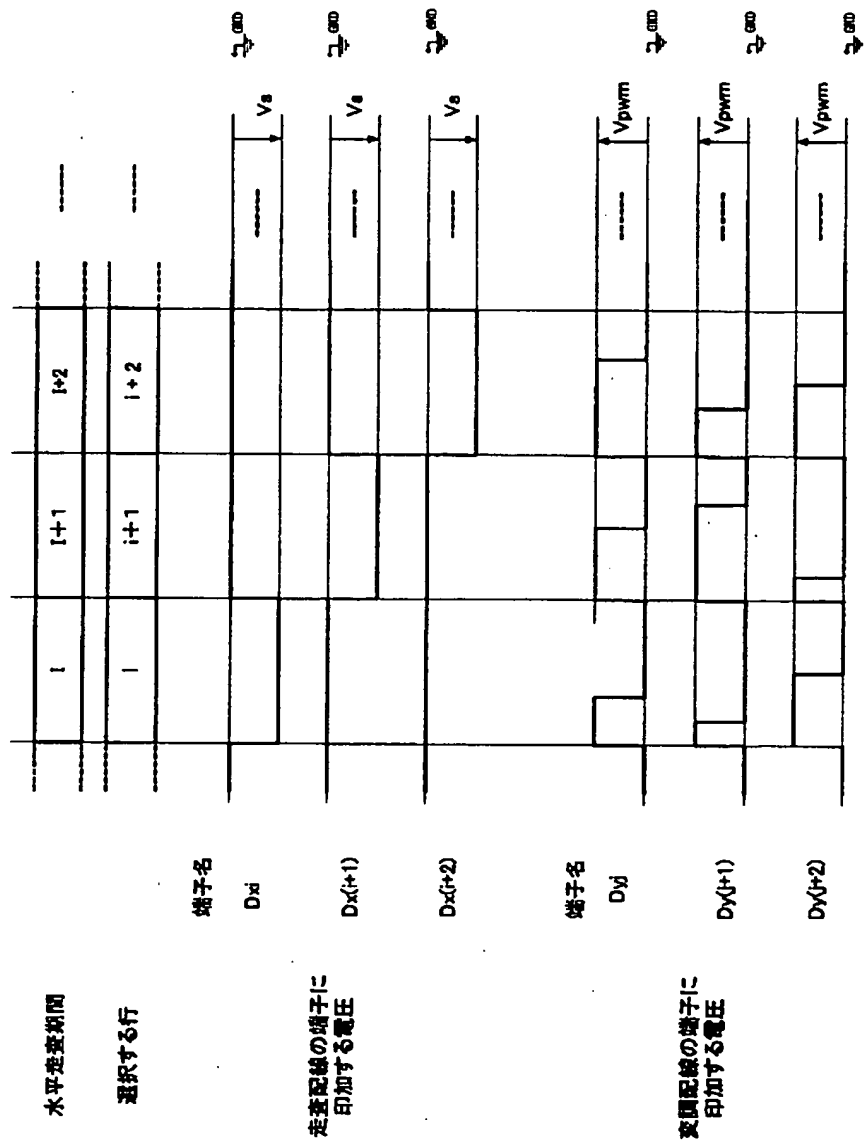
【図5】



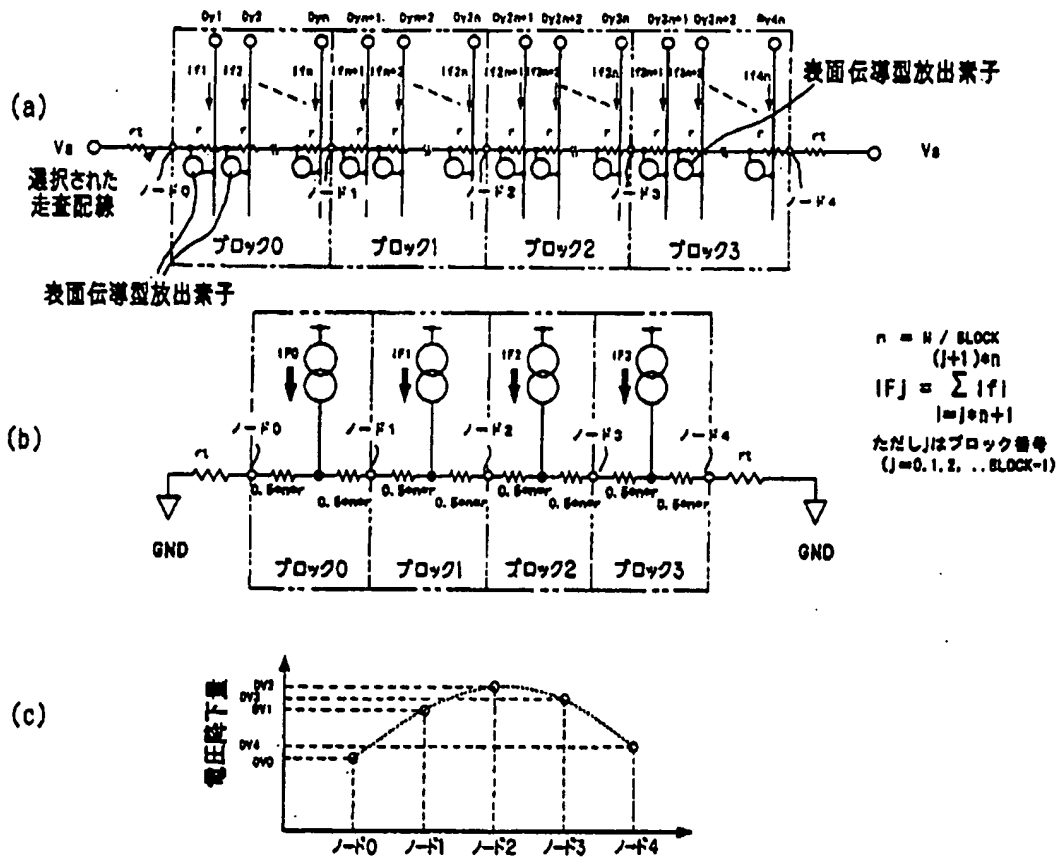
【図3】



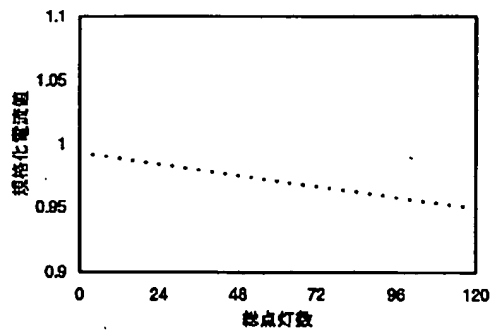
【図4】



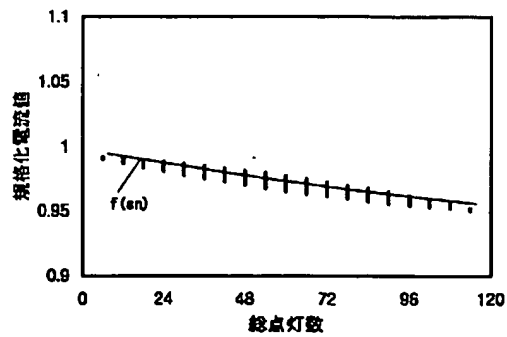
【図6】



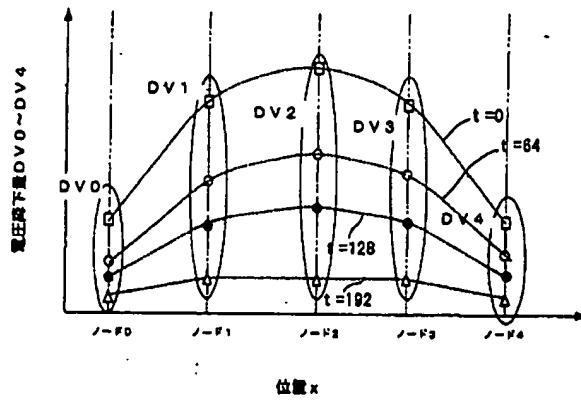
【図7】



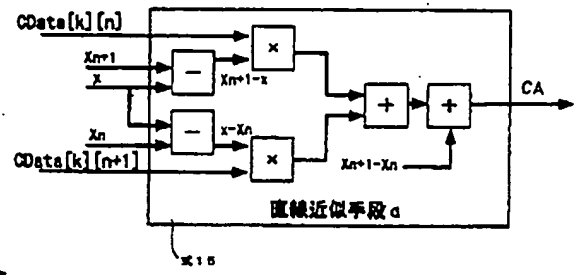
【図8】



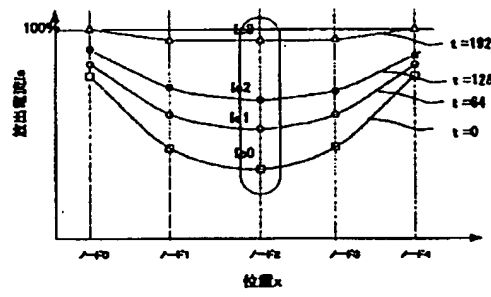
【図9】



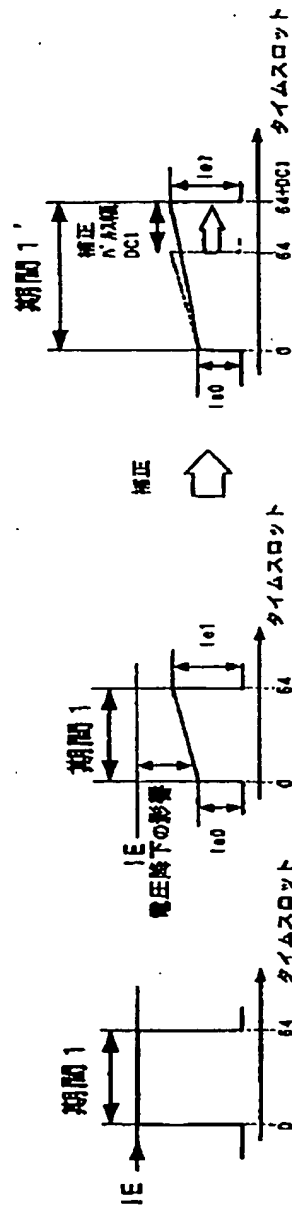
【図24】



【図10】



【図 1 1】



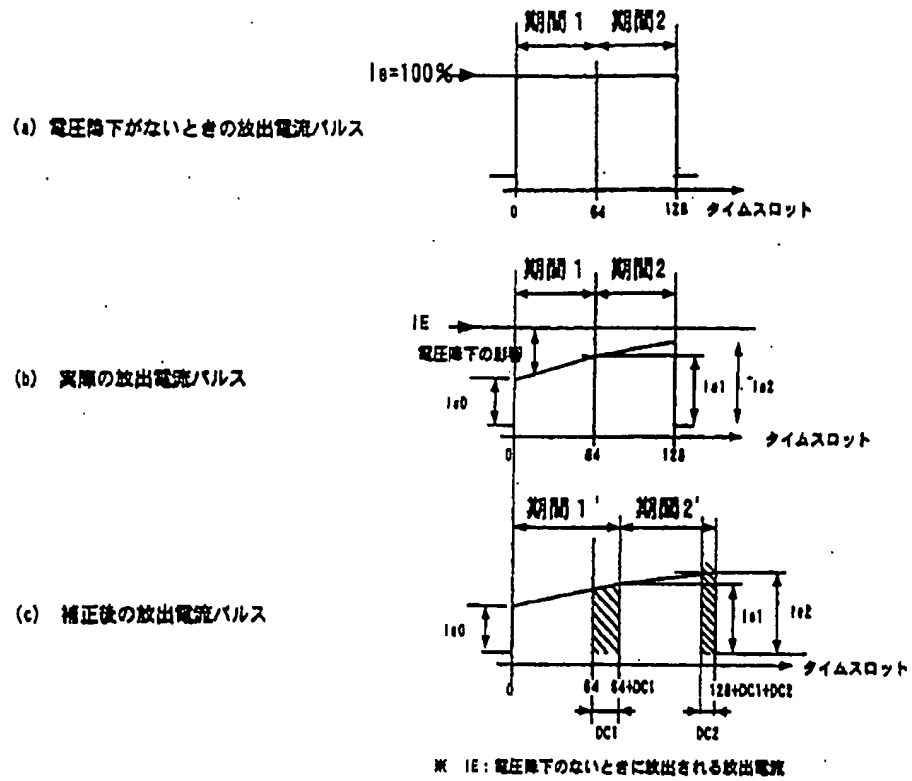
※  $I_E$  : 電圧降下のないときに放出される放出電流

(a) 電圧降下がない時の  
放出電流パルス

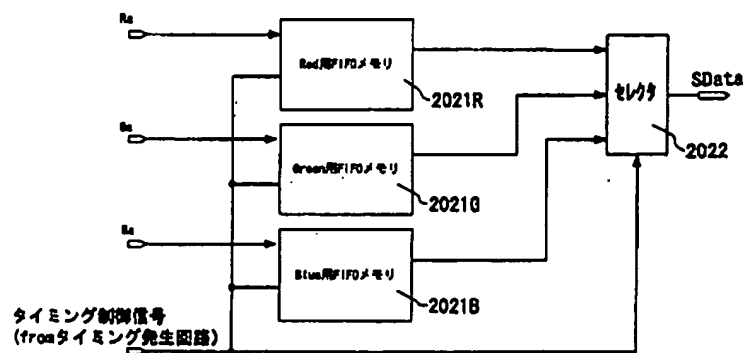
(b) 実際の放出電流パルス

(c) 補正後の放出電流パルス

【図 1 2】

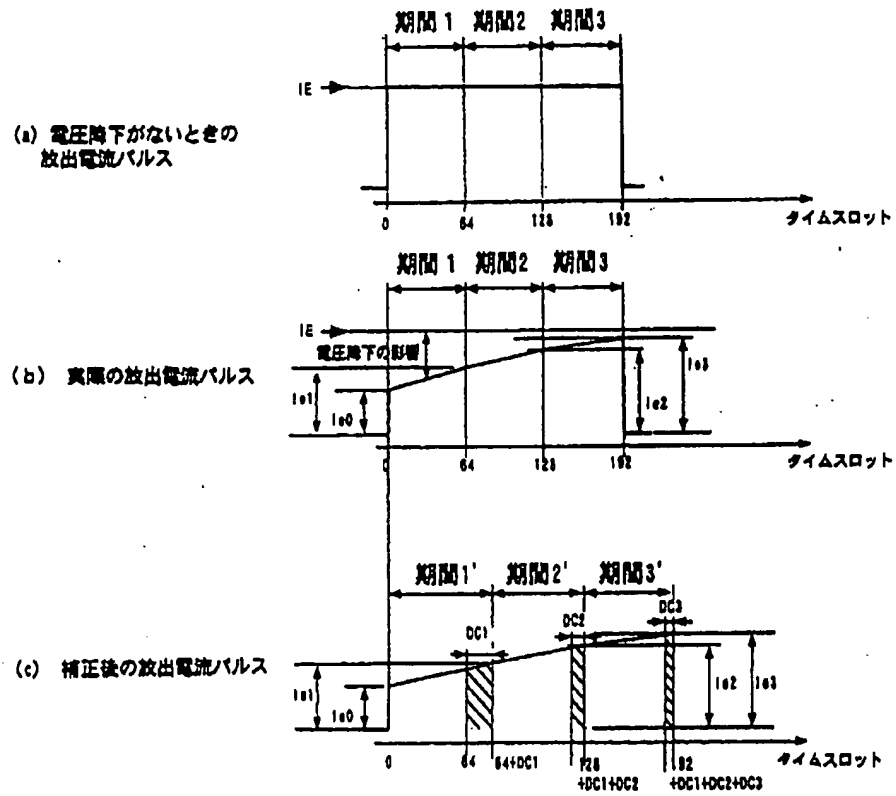


【図 1 8】

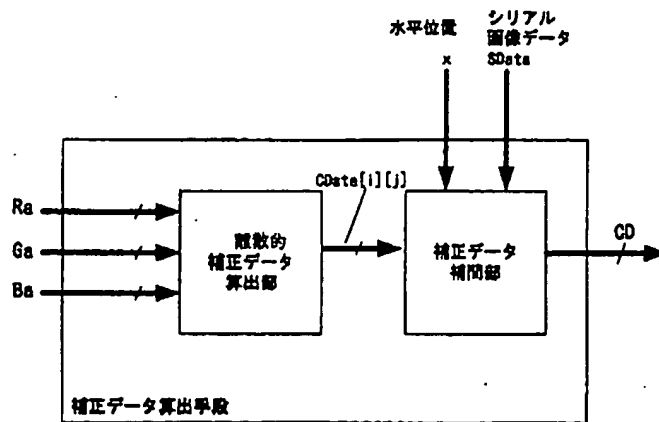


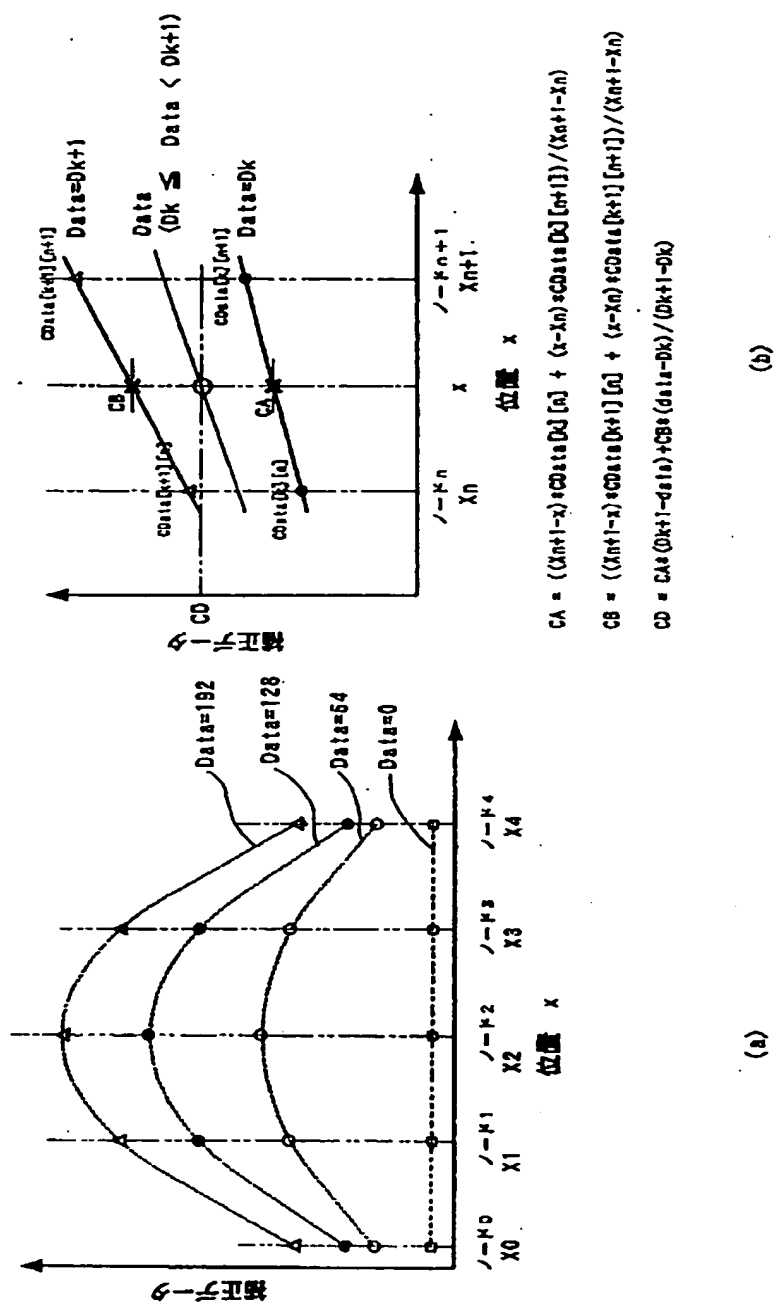


【図13】

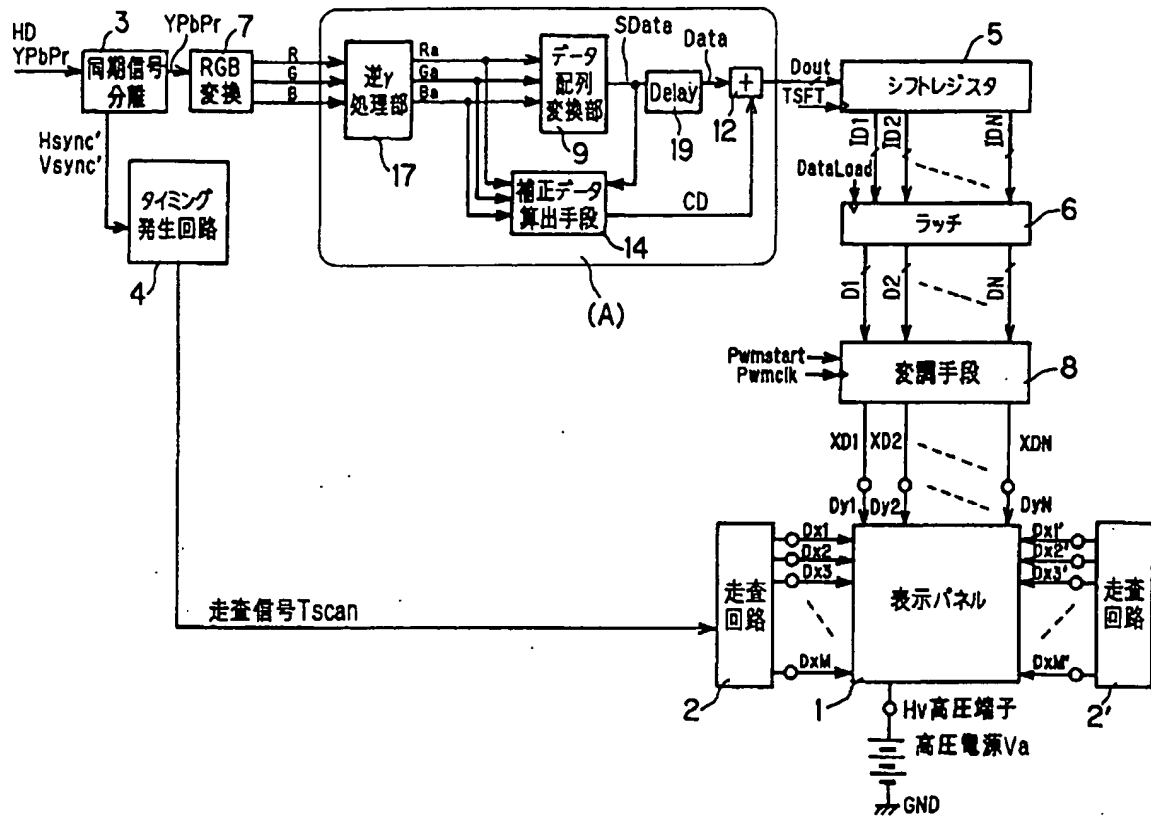


【図21】

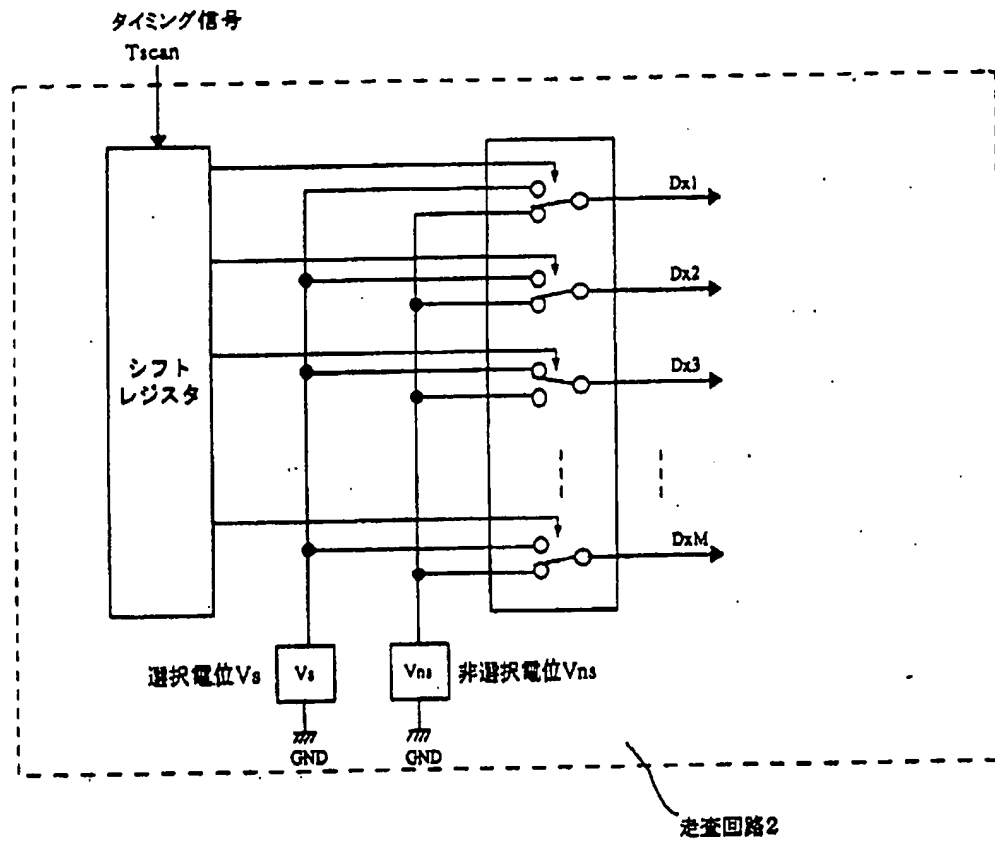




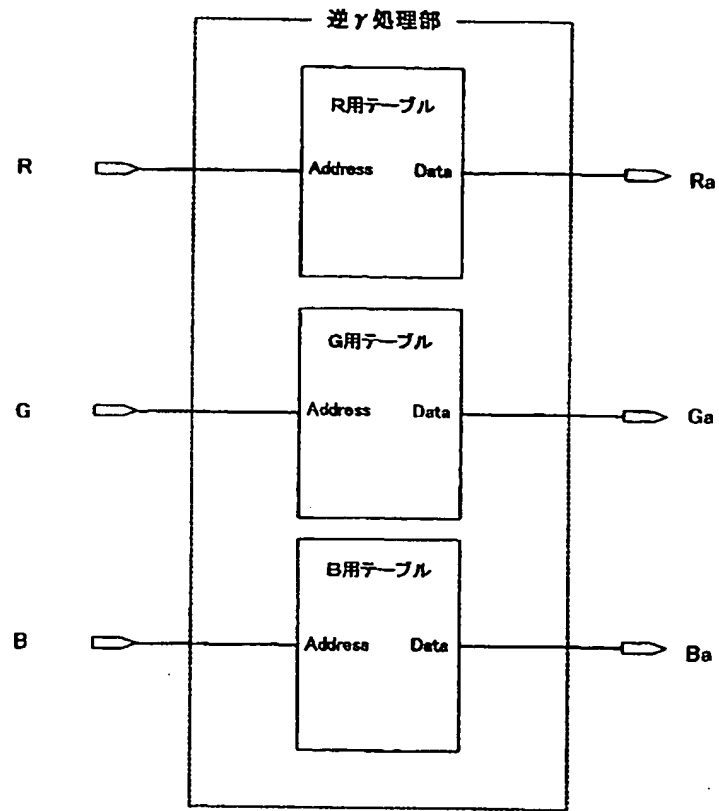
【図15】



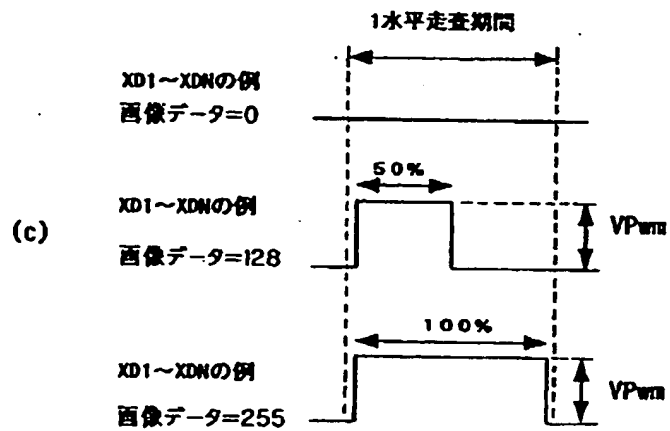
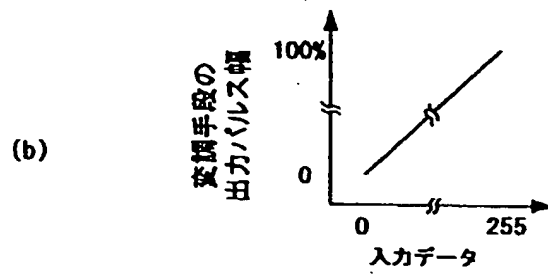
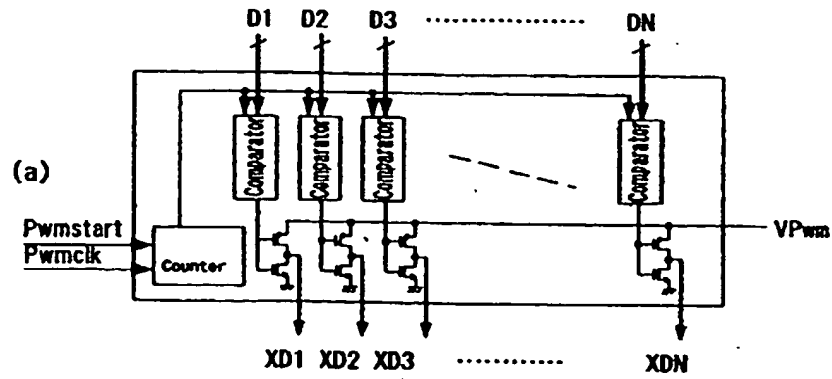
【図16】

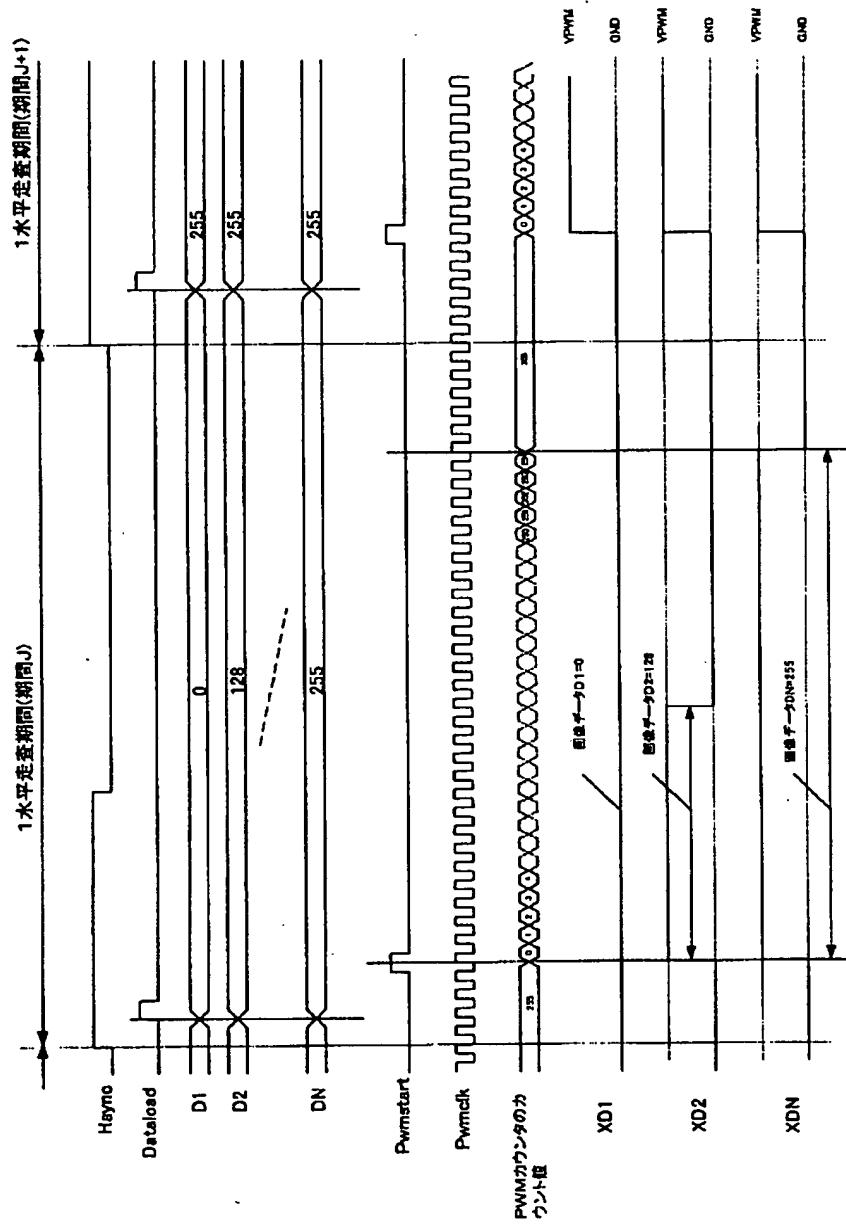


【図17】

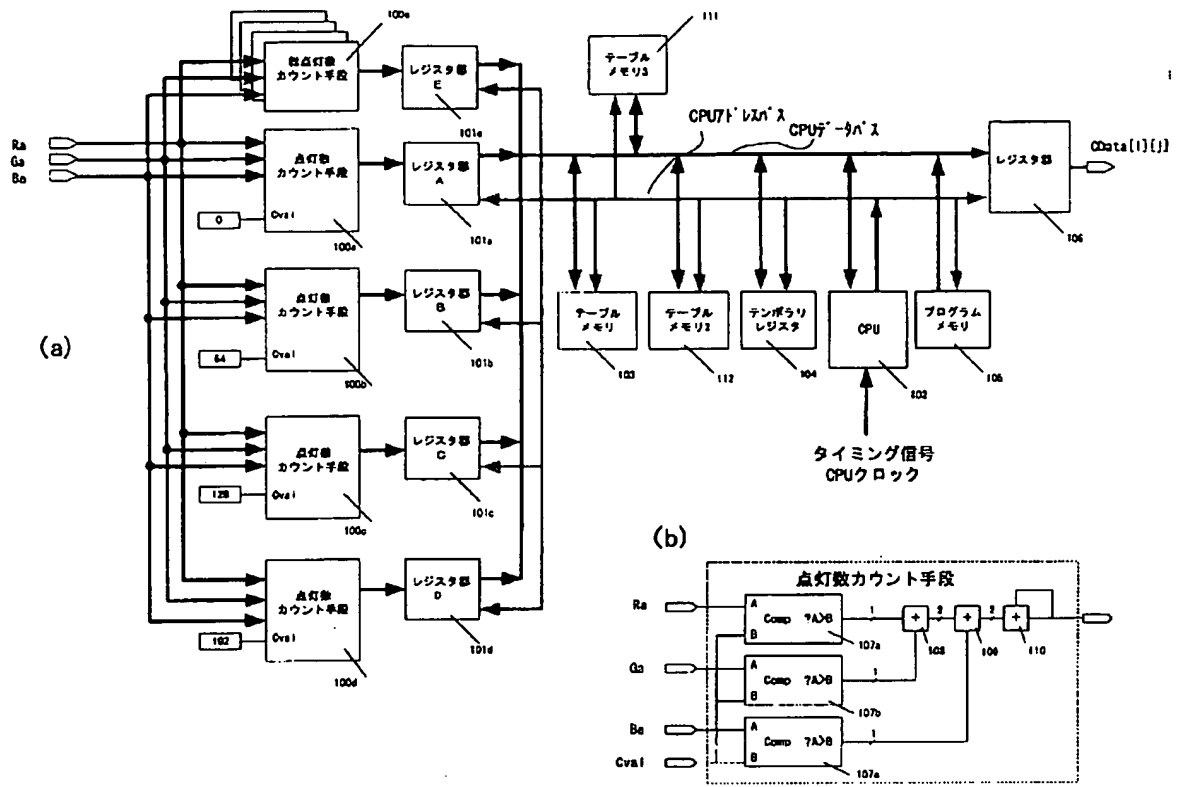


【図19】



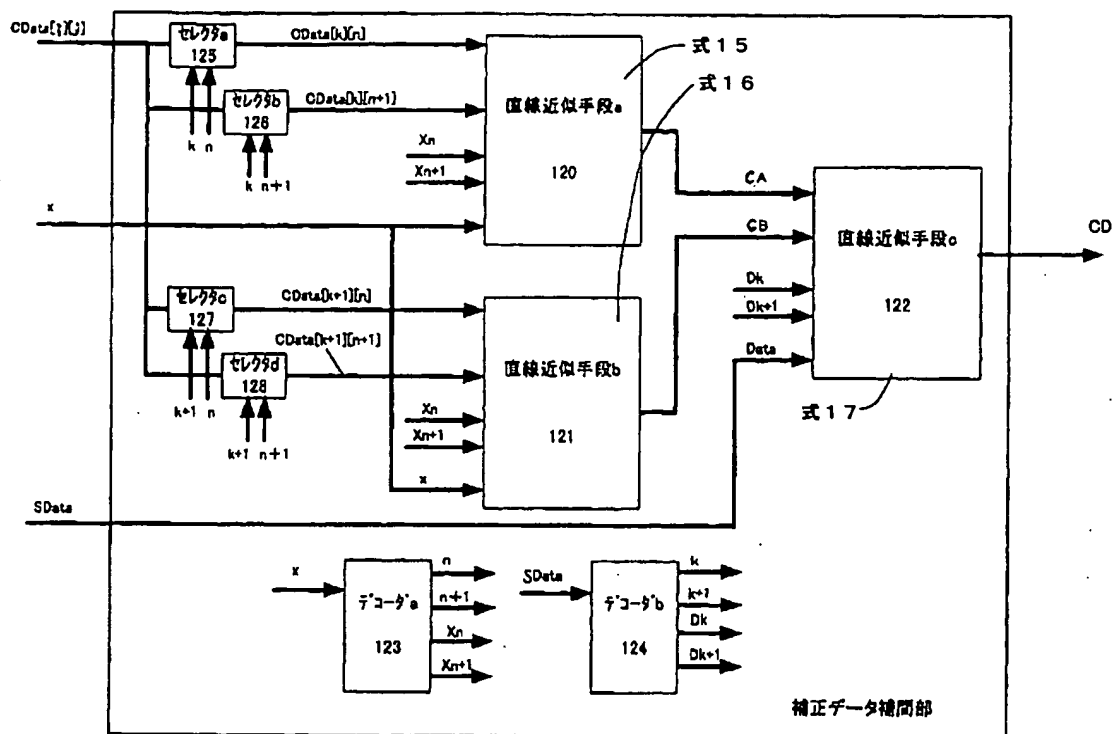


【図22】

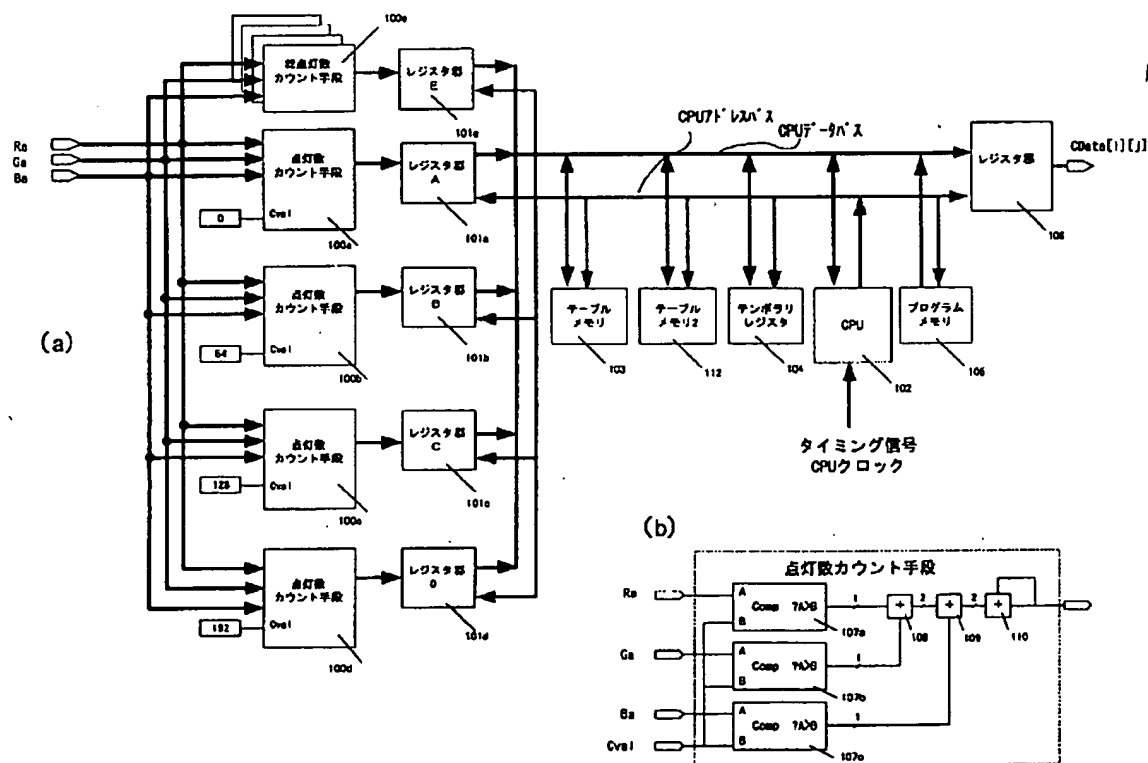




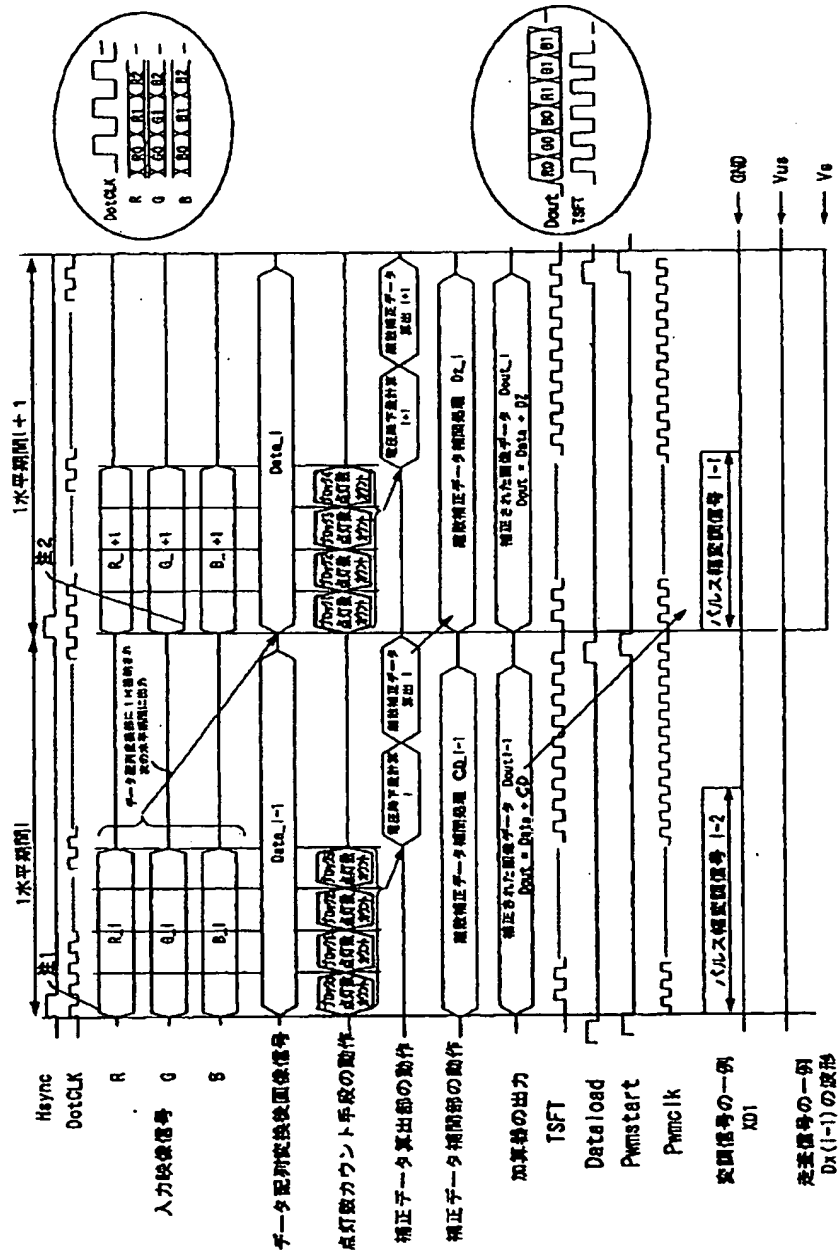
【図 2 3】



【図 2 6】



【図25】



フロントページの続き

(51) Int. Cl. 7

G 0 9 G 3/20

3/30

識別記号

6 4 1

6 4 2

F I

G 0 9 G 3/20

3/30

テーマコード (参考)

6 4 1 A

6 4 2 A

K

(72)発明者 嵯峨野 治  
東京都大田区下丸子3丁目30番2号 キヤ  
ノン株式会社内

Fターム(参考) 5C080 AA06 AA18 BB05 DD05 EE28  
JJ02 JJ04 JJ05 JJ06